

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260607

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01L 27/108

H01L 21/8242

H01L 21/3065

H01L 21/8238

H01L 27/092

(21)Application number : 08-071907

(71)Applicant : NEC CORP

(22)Date of filing : 27.03.1996

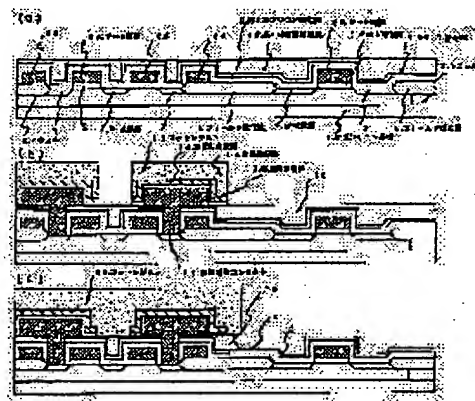
(72)Inventor : TANIGAWA TAKAO

(54) MANUFACTURE OF SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To contrive not to produce the short channel effect, lowering the threshold value voltage undesirably and accelerate the switching operation of a transistor for peripheral circuit.

SOLUTION: A surface flattened interlayer insulating film 10 is formed on an insulating film to be the sidewall of a transistor, so as to form a capacity accumulation electrode 12 on this interlayer insulating film 10. This interlayer insulating film 10, after the formation thereof, is etched away, and then the insulating film 8 is etched away to form a sidewall. Also a high concentration impurity layer is formed to complete a transistor. In such a constitution, the effect of heat treatment on the transistor can be lessened, since the capacity accumulation electrode 12 can be formed on a flat surface, to make fine and rapid etching operation feasible before the formation of the transistor.



LEGAL STATUS

[Date of request for examination] 27.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2809183

[Date of registration] 31.07.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation. 1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The manufacture method of a semiconductor memory characterized by providing the following. The process which forms a gate electrode in the memory cell section and the circumference circuit section on a silicon substrate, respectively. The process which forms a low-concentration impurity layer in the aforementioned silicon substrate using the aforementioned gate electrode. The process which forms a wrap insulator layer for the aforementioned gate. The process which forms the layer insulation film which carried out flattening of the front face on this insulator layer, and the process which carries out opening of the accumulation electrode contact to this layer insulation film and the aforementioned insulator layer, The process which forms an electric conduction film all over including this accumulation electrode contact, and carries out selective etching of this and forms a capacity accumulation electrode, The process which counters this capacity accumulation electrode and forms a capacity insulator layer and a capacity counterelectrode, The process which carries out the mask of the necessary field, *****, the aforementioned layer insulation film and an insulator layer one by one, and forms a sidewall in the side of the aforementioned gate electrode, and the process which carries out the mask of the aforementioned memory cell section, and forms a high-concentration impurity layer in the aforementioned circumference circuit section.

[Claim 2] The manufacture method of a semiconductor memory characterized by providing the following. The process which forms a field oxide film in the isolation field on the front face of a silicon substrate, and forms the memory cell section and the circumference circuit section, and forms the 1st, the 2nd, and 3rd gate electrodes in each part through a gate oxide film. The process which forms a low-concentration source field and a low-concentration drain field in the aforementioned silicon-substrate front face to the above 1st and the 2nd gate electrode at a self-adjustment target. The process which forms the 1st silicon oxide used as the sidewall of the LDD type transistor of the circumference circuit section. The process which forms an etching-proof nature insulator layer on this 1st silicon-oxide front face, The process which forms a hole, and the 1st electric conduction film are formed. the accumulation electrode contact which penetrates the process at which a front face forms in the whole surface the 1st layer insulation film by which flattening was carried out, and this the 1st layer insulation film, aforementioned etching-proof nature insulator layer and 1st silicon oxide of the above, and arrives at the low concentration drain field of the above 1st -- And the process which carries out selective etching of this and forms a capacity accumulation electrode and the process which forms a capacity insulator layer and the 2nd electric conduction film in the whole surface one by one, carries out selective etching of the electric conduction film of the above 2nd, and forms a capacity counterelectrode, The process at which etching removal of the layer insulation film of the above 1st is carried out, and the aforementioned etching-proof nature insulator layer is exposed, The process which removes this etching-proof nature insulator layer, and the process which carries out the etching back of the 1st silicon oxide of the above alternatively, and forms a sidewall in the side attachment wall of the above 1st, the 2nd, and 3rd gate electrode, The process which forms a high concentration impurity layer to the above 2nd and the 3rd gate electrode, and forms an NMOS transistor and a PMOS transistor, respectively, the bit line contact which forms in the whole surface the 2nd layer insulation film with which flattening of the front face was carried out at the whole surface, and reaches this 2nd layer insulation film at the low concentration impurity layer of the aforementioned memory cell section, and the high concentration impurity layer of the circumference circuit section -- with the process which forms a hole The process which forms a bit line on the front face of the layer insulation film of the above 2nd through these bit line contacts, The process which a front face forms in the whole surface the 3rd layer insulation film by which flattening was carried out, and forms

the contact hole which penetrates this 3rd layer insulation film and the layer insulation film of the above 2nd, and reaches the high concentration impurity layer of the aforementioned circumference circuit section, The process which forms the aluminum wiring connected to each high concentration impurity layer through this contact hole.

[Claim 3] The manufacture method of the semiconductor memory of the claims 1 or 2 which perform the photoresist of 1 for the selective etching of a capacity insulator layer and a capacity counterelectrode as a mask, remove this photoresist after that, use a photoresist besides a wrap as a mask for a latus field rather than this, and carry out etching removal of the layer insulation film of the above 1st.

[Claim 4] The manufacture method of the semiconductor memory of the claims 1 or 2 which perform the photoresist of 1 for the selective etching of a capacity insulator layer and a capacity counterelectrode as a mask, and carry out etching removal of the layer insulation film of the above 1st after that, using this photoresist of 1 as it is.

[Claim 5] The manufacture method of a semiconductor memory characterized by providing the following. The process which forms a gate electrode in the memory cell section and the circumference circuit section on a silicon substrate, respectively. The process which forms a low-concentration impurity layer in the aforementioned silicon substrate using the aforementioned gate electrode. The process which forms a wrap insulator layer for the aforementioned gate. The process which forms the 1st layer insulation film which carried out flattening of the front face on this insulator layer, The process which carries out opening of the bit line contact to this the 1st layer insulation film and aforementioned insulator layer, The process which forms an electric conduction film on the layer insulation film of the above 1st, and carries out selective etching of this and forms a bit line, The process which forms the 2nd layer insulation film which besides carried out flattening of the front face, and the process which carries out opening of the accumulation electrode contact over the layer insulation film of the above 2nd, the 1st layer insulation film, and the aforementioned insulator layer, The process which forms an electric conduction film on the layer insulation film of the above 2nd including this accumulation electrode contact, and carries out selective etching of this and forms a capacity accumulation electrode, The process which counters this capacity accumulation electrode and forms a capacity insulator layer and a capacity counterelectrode, The process which carries out the mask of the necessary field, *****s the aforementioned layer insulation film and an insulator layer one by one, and forms a sidewall in the side of the aforementioned gate electrode, and the process which carries out the mask of the aforementioned memory cell section, and forms a high-concentration impurity layer in the aforementioned circumference circuit section.

[Claim 6] The manufacture method of a semiconductor memory characterized by providing the following. The process which forms a field oxide film in the isolation field on the front face of a silicon substrate, and forms the memory cell section and the circumference circuit section, and forms the 4th gate electrode over the circumference circuit section in each part through a gate oxide film from the 1st, the 2nd, and 3rd gate electrode and memory cell section. The process which forms a low-concentration source field and a low-concentration drain field in the aforementioned silicon-substrate front face to the above 1st and the 2nd gate electrode at a self-adjustment target. The process which forms the 1st silicon oxide used as the sidewall of the LDD type transistor of the circumference circuit section. The process which forms an etching-proof nature insulator layer on this 1st silicon-oxide front face, the bit line contact which penetrates the process at which a front face forms in the whole surface the 1st layer insulation film by which flattening was carried out, and this the 1st layer insulation film, aforementioned etching-proof nature insulator layer and 1st silicon oxide of the above, and reaches the low concentration source field of the above 1st, and the gate electrode of the above 4th -- with the process which forms a hole The process which forms the 1st electric conduction film, and carries out selective etching of this and forms a bit line, A front face forms in the whole surface the 2nd layer insulation film by which flattening was carried out. This 2nd layer insulation film, the accumulation contact which penetrates the layer insulation film of the above 1st, the aforementioned etching-proof nature insulator layer, and the 1st silicon oxide of the above, and arrives at the aforementioned low-concentration source field -- with the process which forms a hole The process which forms the 1st electric conduction film in the whole surface, carries out selective etching of this and forms a capacity accumulation electrode, The process which forms a capacity insulator layer and the 2nd electric conduction film in the whole surface one by one, carries out selective etching of the

electric conduction film of the above 2nd, and forms a capacity counterelectrode, The process at which etching removal of the above 1st and the 2nd layer insulation film is carried out, and the aforementioned etching-proof nature insulator layer is exposed, The process which removes this etching-proof nature insulator layer, and the process which carries out the etching back of the 1st silicon oxide of the above alternatively, and forms a sidewall in the side attachment wall of the above 2nd and the 3rd gate electrode, The process which forms a high concentration impurity layer to the above 2nd and the 3rd gate electrode, and forms an NMOS transistor and a PMOS transistor, respectively, the bit line contact which forms in the whole surface the 2nd layer insulation film with which flattening of the front face was carried out at the whole surface, and reaches this 2nd layer insulation film at the low concentration impurity layer of the aforementioned memory cell section, and the high concentration impurity layer of the circumference circuit section -- with the process which forms a hole The process which forms a bit line on the front face of the layer insulation film of the above 2nd through these bit line contacts, The process which a front face forms in the whole surface the 3rd layer insulation film by which flattening was carried out, and forms the contact hole which penetrates this 3rd layer insulation film and reaches the high concentration impurity layer of the aforementioned circumference circuit section, and the process which forms the aluminum wiring with which it connects with each high concentration impurity layer through this contact hole.

[Claim 7] The claim 1 which includes the process which forms a refractory-metal silicide film in the aforementioned high concentration impurity layer after forming the high concentration impurity layer of the NMOS transistor of the circumference circuit section, and a PMOS transistor, or the manufacture method of one semiconductor memory of 6.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the manufacture method of DRAM (dynamic random access memory) with the memory cell which has the capacitor of a stack structure about the manufacture method of a semiconductor memory.

[0002]

[Description of the Prior Art] In DRAM which generally has the memory cell of a stack structure, since a stack capacitor will be formed after transistor formation, many heat treatment processes are needed after transistor formation. Specifically, it is processes, such as impurity diffusion for resistance reduction of a reflow for flattening of a gate electrode and a capacity accumulation inter-electrode layer insulation film, and the electrode material of a stack capacitor, and scaling of a capacity insulator layer, for example, heat treatment for about a total of 120 minutes is needed at the temperature of about 800-950 degrees C. The impurity in the source field of a transistor and a drain field is spread with this heat treatment, and the diffusion layer depth will become deep or will be prolonged at a longitudinal direction un-wanting. In this case, the fall of the threshold voltage by the short channel effect becomes easy to take place, and, for this reason, channel length between the source field of the above-mentioned transistor and a drain field cannot be reduced to below a fixed size, but there is a trouble that improvement in the speed of the switching operation of transistors for circumference circuits, such as a WORD driver and a timing generator, will be restricted. Then, there are some which were indicated by JP,4-134859,A as technology for solving such a trouble.

[0003] Drawing 9 and drawing 10 are the cross sections of the order of a process for explaining the manufacture method of the conventional semiconductor memory indicated by the aforementioned official report. A circumference circuit is the example of DRAM which consisted of CMOS, and this conventional example has shown the NMOS portion of a circumference circuit, and the portion of a memory cell in this drawing. First, after forming the P well 2 and the N well 3 in the P type silicon substrate 1 as shown in drawing 9 (a), forming the field oxide film 4 in the front face of a parenthesis alternatively by the usual LOCOS method and performing the impurity ion implantation for threshold armature-voltage control, the gate oxide film 5 is formed by thermal oxidation. Next, the about 300nm polycrystal silicon film which doped Lynn (P) as 1st electric conduction film is deposited on the whole surface, patterning of this is carried out, and the gate electrodes 6A and 6B are formed.

[0004] Then, the gate electrodes 6A and 6B are used as a mask, the ion implantation of Lynn (P) is carried

out to the NMOS portions of the memory cell section and a circumference circuit two E13 to about two, and it is N. A diffusion layer 7 is formed. Then, the 1st about 200nm silicon oxide 8 is formed in the whole surface by the chemical vapor growth. This 1st silicon oxide 8 turns into a layer insulation film between the MOS transistors and stack type capacitors in a memory cell.

[0005] Next, it is N as shown in drawing 9 (b). The 1st silicon oxide 8 on a diffusion layer 7 is *****ed, and opening of the contact 11 for the capacity accumulation electrodes of a stack type capacitor is carried out. Then, the about 400nm polycrystal silicon film which doped phosphorus (P) as 2nd electric conduction film is deposited by the chemical vapor growth, and the capacity accumulation electrode 12 which carries out patterning of this and turns into a lower electrode of a stack type capacitor is formed. Next, a silicon nitride is deposited on the whole surface, it oxidizes in 950 more-degree C steam atmosphere for 20 minutes, and the capacity insulator layer 13 is formed. Then, the about 200nm polycrystal silicon film which doped phosphorus (P) as 3rd electric conduction film is deposited by the chemical vapor growth, a photoresist 15 is used as a mask, and this polycrystal silicon film and the capacity insulator layer 13 are *****ed. The capacity counterelectrode 14 used as the up electrode of a stack type capacitor is formed by this, and formation of the stack type capacitor itself is completed.

[0006] Then, as shown in drawing 9 (c), a photoresist 15 is used as a mask, the etching back of the 1st silicon oxide 8 is performed, and the sidewall 17 which consists of the 1st silicon oxide 8 is formed. Next, as shown in drawing 10 (a), after removing a photoresist 15, a photoresist 16 is formed, a photoresist 16, a sidewall 17, and the gate electrodes 6A and 6B are used as a mask, the ion implantation of the arsenic (As) is carried out about [three E15cm⁻²] two, and it is N+. A diffusion layer 18 is formed. Thereby, NMOS of LDD structure is formed in the circumference circuit section. Similarly, a photoresist 16 is removed, in a wrap photoresist (not shown), the NMOS section of the memory cell section and the circumference circuit section is used as a mask, and PMOS (not shown) of the circumference circuit section is formed [section] by about [three E15cm⁻²] two ion implantation of 2 fluoridation boron (BF₂).

[0007] Next, as shown in drawing 10 (b), after removing a wrap resist (not shown) for the NMOS section of the memory cell section and the circumference circuit section, the 1st layer insulation film 10 which consists of a BPSG film is deposited on the whole surface, and it is N. A diffusion layer 7 and N+ By *****ing the 1st layer insulation film 10 on a diffusion layer 18, opening of the bit line contact 20 is carried out. Then, a bit line 21 is formed. next, the 2nd layer insulation film 19 which becomes the whole surface for example, from a BPSG film -- depositing -- N+ *****ing the 1st layer insulation film 10 on a diffusion layer, and the 2nd layer insulation film 19 -- contact -- opening of the hole 23 is carried out. Then, the aluminum wiring 24 is formed and a semiconductor memory is completed.

[0008]

[Problem(s) to be Solved by the Invention] There are the following troubles in DRAM with the memory cell of such a conventional stack structure.

(1) In the memory cell which consists of an MIS type transistor and a stack type capacitor, and the semiconductor memory which has a circumference circuit using the LDD type transistor, since the layer insulation film between the MIS type MIS transistors and stack type capacitors in the aforementioned memory cell forms by the same insulator layer as the insulator layer which accomplishes the sidewall of the type MIS transistor aforementioned [LDD], flattening of the front face according the aforementioned layer insulation film to deposition of for example, a BPSG film and a reflow cannot be performed.

[0009] It is because it becomes impossible to form the sidewall of a desired configuration in the side attachment wall of the gate electrode of the LDD type transistor of a circumference circuit when flattening of the aforementioned layer insulation film front face is carried out even if it performs the etching back. And it is because etching of the capacity accumulation electrode from which the lower limit serves as a lower electrode of a stack capacitor in the latest DRAM designed by 0.35 micrometers becomes very difficult like 64MDRAM when flattening cannot be performed. For example, since the word line interval of the memory cell section of 64MDRAMs is usually designed by about 0.4 micrometers, when a 0.1-micrometer sidewall is formed in a gate side attachment wall, an about 0.2-micrometer crevice will open. If it does not remove completely the polycrystal silicon film deposited on the slit inserted by such gate electrode, either, in *****ing, the stack capacitor comrade of an adjoining memory cell will short-circuit electrically the polycrystal silicon film used as a capacity accumulation electrode. You have

to perform excessive etching of about 3 times from the double precision of the etching processing time performed by the time the polycrystal silicon of a flat place was removed and the layer insulation film of a ground was exposed, in order to prevent it. And during excessive over etching processing, since excessive etching gas corrodes gradually the polycrystal silicon of the side-attachment-wall portion of a capacity accumulation electrode, it becomes difficult to acquire a desired configuration.

[0010] (2) Since the layer insulation film between the MIS type transistors and stack type capacitors in a memory cell forms by the same insulator layer as the sidewall of a LDD type transistor as mentioned above. The wet etching process by the buffered fluoric acid (HF) solution for removing the natural oxidation film on the front face of a silicon substrate exposed within the contact hole performed just before depositing the 1st electric conduction object used as the capacity accumulation electrode which is a lower electrode, The wet etching process for removing the etching process for patterning of a capacity accumulation electrode, and the natural oxidation film of the capacity accumulation electrode front face before capacity insulator layer formation, Since the layer insulation film used as the aforementioned sidewall exposed in the circumference circuit section according to the etching process of the 2nd electric conduction object used as a capacity counterelectrode etc. will be alike in process [each] and about 10-20nm will ***** , respectively It is difficult to control the sidewall of a LDD type transistor in a desired configuration.

[0011] (3) In DRAM to which detailed-izing and high integration progressed like 64MDRAM further, since it says that the large plane area of that processing of a bit line becomes easy and a capacitor can be taken compared with the former, the structure which arranges a bit line in the lower layer of a stack type capacitor is becoming in use from the structure where the structure of a memory cell arranges the conventional bit line in the upper layer of a stack type capacitor. Generally such memory cell structure is called COB structure (capacitor over bit-line structure), and is indicated by reference "M. Sakao et al. and IEDM'90,655."

[0012] In DRAM which has the memory cell of this COB type structure when the high concentration ion implantation which is arsenic (As) and 2 fluoridation boron (BF₂) for sidewall formation of a LDD type transistor and source drain formation is made to be performed after stack type capacitor formation using a Prior art Since the layer insulation film of an MIS transistor, a bit line, and a stack type capacitor electrode and the insulator layer which accomplishes a sidewall will be formed by the same insulator layer, flattening is not made, but as a result, etching of a bit line and a stack capacitor electrode is the same as the reason for the above, and becomes difficult. And in the lower layer portion in which a bit line is arranged, there is a problem that a bit line will become a mask and an insulator layer will remain. When the LDD type transistor of a circumference circuit is arranged at the lower layer of a bit line, formation of the sidewall of a LDD transistor and a source drain cannot do only the portion which is just under a bit line.

[0013] The purpose of this invention is to offer the semiconductor memory which is to offer the semiconductor memory suitable for the high integration which does not produce a short channel effect to which the threshold voltage of the transistor for circumference circuits falls to un-wanting, and can accelerate the switching operation of the above-mentioned transistor for circumference circuits. Moreover, another purpose of this invention is to offer the semiconductor memory which can control the sidewall of the LDD type transistor of the circumference circuit section in a desired configuration. Furthermore, another purpose of this invention is in the memory cell of the COB structure which has arranged the bit line in the upper layer of a stack type capacitor to offer the semiconductor memory suitable for the high integration which does not produce a short channel effect to which the threshold voltage of the transistor for circumference circuits falls to un-wanting which can moreover accelerate the switching operation of the transistor for circumference circuits.

[0014]

[Means for Solving the Problem] The process at which the manufacture method of this invention forms a gate electrode in the memory cell section and the circumference circuit section on a silicon substrate, respectively, The process which forms a low-concentration impurity layer in the aforementioned silicon substrate using the aforementioned gate electrode, The process which forms a wrap insulator layer for the aforementioned gate, and the process which forms the layer insulation film which carried out

flattening of the front face on this insulator layer, The process which carries out opening of the accumulation electrode contact to this layer insulation film and the aforementioned insulator layer, The process which forms an electric conduction film all over including this accumulation electrode contact, and carries out selective etching of this and forms a capacity accumulation electrode, The process which counters this capacity accumulation electrode and forms a capacity insulator layer and a capacity counterelectrode, The mask of the necessary field is carried out and it is characterized by including the process which *****s the aforementioned layer insulation film and an insulator layer one by one, and forms a sidewall in the side of the aforementioned gate electrode, and the process which carries out the mask of the aforementioned memory cell section, and forms a high-concentration impurity layer in the aforementioned circumference circuit section.

[0015] Here, etching removal of the layer insulation film of the above 1st is carried out, performing the photoresist of 1 for the selective etching of a capacity insulator layer and a capacity counterelectrode as a mask, removing this photoresist after that, and using a photoresist besides a wrap as a mask for a field larger than this. Or the photoresist of 1 is performed for the selective etching of a capacity insulator layer and a capacity counterelectrode as a mask, and etching removal of the layer insulation film of the above 1st is carried out after that, using this photoresist of 1 as it is.

[0016] Moreover, the process at which other manufacture methods of this invention form a gate electrode in the memory cell section and the circumference circuit section on a silicon substrate, respectively, The process which forms a low-concentration impurity layer in the aforementioned silicon substrate using the aforementioned gate electrode, The process which forms a wrap insulator layer for the aforementioned gate, and the process which forms the 1st layer insulation film which carried out flattening of the front face on this insulator layer, The process which carries out opening of the bit line contact to this the 1st layer insulation film and aforementioned insulator layer, The process which forms an electric conduction film on the layer insulation film of the above 1st, and carries out selective etching of this and forms a bit line, The process which forms the 2nd layer insulation film which besides carried out flattening of the front face, and the process which carries out opening of the accumulation electrode contact over the layer insulation film of the above 2nd, the 1st layer insulation film, and the aforementioned insulator layer, The process which forms an electric conduction film on the layer insulation film of the above 2nd including this accumulation electrode contact, and carries out selective etching of this and forms a capacity accumulation electrode, The process which counters this capacity accumulation electrode and forms a capacity insulator layer and a capacity counterelectrode, The mask of the necessary field is carried out and it is characterized by including the process which *****s the aforementioned layer insulation film and an insulator layer one by one, and forms a sidewall in the side of the aforementioned gate electrode, and the process which carries out the mask of the aforementioned memory cell section, and forms a high-concentration impurity layer in the aforementioned circumference circuit section.

[0017] Here, after forming the high concentration impurity layer of the NMOS transistor of the circumference circuit section, and a PMOS transistor in each aforementioned manufacture method, it is desirable to include the process which forms a refractory-metal silicide film in the aforementioned high concentration impurity layer.

[0018]

[Embodiments of the Invention] Next, the operation form of this invention is explained with reference to a drawing. Drawing 1 and drawing 2 are the cross sections of the main manufacturing processes for explaining the manufacture method of the 1st operation form of this invention. First, the P well 2 and the N well 3 are formed in the necessary field of the front face of the P type silicon substrate 1 like drawing 1. (a). A silicon nitride is saved only to the element formation schedule field of P well 2 front face which included N well 3 front face in the whole surface by etching which used the silicon nitride (not shown) as the mask. After removing a photoresist film, well-known LOCOS oxidization is performed and the field oxide film 4 of about 300nm of thickness is formed in the isolation field of a P well 2 substrate front face including N well 3 front face. After removing a silicon nitride, the gate oxide film 5 of about 10-12nm of thickness is formed in the above-mentioned element formation schedule field by thermal oxidation.

[0019] Next, the gate electrodes 6A and 6B which consist of the polycrystal silicon film (not shown) of about 100nm of thickness and the tungsten silicide film (not shown) of about 100nm of thickness are

formed. Furthermore, a wrap photoresist film (not shown) is used as a mask for N well field 3, the ion implantation of 40keV and about $[2 \times 10^{13} \text{cm}^{-2}]$ two phosphorus (P) is performed, and it is N. The type diffusion layer 7 is formed. Next, the 1st silicon oxide 8 used as the sidewall of the LDD transistor of the circumference circuit section is formed. When this silicon oxide consists of a HTO film, an example of the formation method of this is as follows. An about 100nm HTO film is formed in the whole surface by about 800 degrees C [which made material gas the silane (SiH_4) and the nitrous oxide (N_2O)] LPCVD.

[0020] Furthermore, the silicon nitride 9 of about 50nm of thickness is formed in the whole surface by the LPCVD method which made material gas a dichloro silane (SiH_2Cl_2) and ammonia (NH_3). Furthermore, the BPSG film of about 300nm of thickness is formed in the whole surface by the LPCVD method which made material gas TEOS [$\text{Si}(\text{OC two H}_5)_4$] gas, a phosphine (PH_3), trimethyl borate [$\text{B}(\text{OCH}_3)_3$] gas, and oxygen (O_2) gas. A reflow of the BPSG film is carried out at the temperature of 750-900 degrees C, flattening of the BPSG film front face is carried out, and the 1st layer insulation film 10 is formed. (Drawing 1 (a))

[0021] next, the anisotropic etching using the etching gas (CHF_3 and CF_4) of the fluorocarbon system which used the photoresist (not shown) as the mask like drawing 1 (b) -- N- the accumulation electrode contact which reaches the type diffusion layer 7 -- a hole 11 is formed Then, the N type doped amorphous silicon film of about 800nm of thickness is formed by the LPCVD method which makes material gas mono-silane (SiH_4) gas and phosphoretted-hydrogen (PH_3) gas after removing the above-mentioned photoresist. Or you may change into an N type polycrystal silicon film by the ion implantation of arsenic or phosphorus, or the thermal diffusion of phosphorus after depositing a non doped polycrystal silicon film instead of an amorphous silicon film. The high impurity concentration of an N type doped amorphous silicon film or an N type polycrystal silicon film is about 1×10^{20} here.

[0022] Subsequently, a wrap photoresist (not shown) is formed for the schedule field top of formation of a capacity accumulation electrode on the front face of an N type doped amorphous silicon film, and the capacity accumulation electrode 12 is formed of the anisotropic etching which used this photoresist as the mask. Furthermore, after performing washing of the front face of the capacity accumulation electrode 12, removal of a natural oxidation film, etc., The rapid heat nitriding (RTN) for about 60 seconds is performed in about 870-degree C ammonia (NH_3) gas atmosphere, and the silicon nitride (not shown) of about 0.5nm of thickness is formed in capacity accumulation electrode 12 front face. by the LPCVD method After forming the silicon nitride (not shown) of about 6nm of thickness in the whole surface, it ** about 30 minutes in about 850-degree C steam atmosphere, the silicon-oxide film (not shown) by thermal oxidation is formed in the front face of a silicon nitride, and the capacity insulator layer 13 of about 5nm of silicon-oxide film conversion thickness is formed. Then, the N type polycrystal silicon film (not shown) of about 150nm of thickness is formed in the whole surface, by the anisotropic etching which used the photoresist 15 as the mask, this N type polycrystal silicon film and the capacity insulator layer 13 are *****ed one by one, and the capacity counterelectrode 14 is formed.

[0023] Next, like drawing 1 (c), after removing a photoresist 15, a photoresist 25 is formed so that the memory cell section may be covered, the 1st layer insulation film 10 is removed by the wet etching by the hydrofluoric-acid (HF) solution by using this photoresist 25 as a mask, and the silicon nitride 9 is exposed. When a hydrofluoric-acid (HF) solution is used, the etch-rate ratio of the BPSG film and the silicon nitride 9 which constitute the 1st layer insulation film 10 BPSG: Silicon nitride = if an about 50nm silicon nitride is used for becoming about 100:1 and removing an about 300nm BPSG film as a stopper insulator layer Film decrease of the field oxide film 4 and the 1st oxide film 8 can be suppressed, and the 1st layer insulation film 10 of the circumference circuit section can be removed completely.

[0024] In addition, use a silicon oxide instead of the silicon nitride 9, and **** for reduced pressure gas phase etching by hydrogen fluoride gas is also good instead of the wet etching by the hydrofluoric-acid (HF) solution. The HTO film by the LPCVD method of about 50nm of thickness is used for the silicon oxide in this case. to reduced pressure gas phase etching If the conditions with a temperature of about 30 degrees C using hydrogen fluoride (HF) with a pressure of 600Pa and the steam (H_2O) with a pressure of 300Pa are used The etch rate to the silicon oxide of the BPSG film which constitutes the 1st layer insulation film is 103. It can become about twice, and film decrease of the field oxide film 4 and the 1st oxide film 8 can be suppressed, and the 1st layer insulation film 10 of the circumference circuit section

can be removed completely.

[0025] Next, the etching back of the silicon nitride 9 and the 1st silicon oxide 8 is carried out one by one by using a photoresist 25 as a mask, and the sidewall 17 which consists of the 1st silicon oxide 8 is formed. This etching back is the basis of power 250W and a degree of vacuum 700 (mTorr), it is reactive ion etching which makes argon (Ar) gas carrier gas and is performed considering TORI fluoro methane (CHF₃) and tetrapod fluoro methane (CF₄) gas as etching gas, and the flow rate of these gas is CHF₃ : CF₄ : It is Ar=40sccm:40sccm:800sccm.

[0026] in addition, the side attachment wall of the sidewall 17 which the silicon nitride 9 becomes from the 1st silicon oxide at this time -- remaining (not shown) -- a silicon substrate -- direct -- not contacting (the 1st silicon oxide 8 existing between silicon substrates) -- there are no worries about faults; such as increase of the junction leakage current by the silicon nitride 9. Moreover, when the fault by the silicon nitride 9 occurs, it is lost that what is necessary is just to perform the etching back of the 1st silicon oxide 8 using the wet etching by the heat phosphoric acid by using a capacity counterelectrode as a mask after removing a silicon nitride after removing a photoresist 25 that the silicon nitride 9 remains on the side attachment wall of a sidewall 17 by this.

[0027] Then, it is N+ by ion implantations, such as arsenic which formed the wrap photoresist film 16 for N well field 3 and the memory cell section like drawing 2 (a) after removing the photoresist 25, and used the photoresist film 16, a sidewall 17, and gate electrode 6B as the mask. The type diffusion layer field 18 is formed. Furthermore, it is P+ by ion implantations, such as 2 fluoridation boron (BF₂) which used the photoresist film according to wrap (not shown) as the mask for P well field 2. A type diffusion layer field (not shown) is formed. Thereby, an NMOS transistor and a PMOS transistor are formed in the circumference circuit section.

[0028] Next, like drawing 2 (b), after removing a photoresist 16, the 2nd layer insulation film 19 is formed in the whole surface. Flattening of the 2nd layer insulation film 19 front face is carried out, and the height of the 2nd layer insulation film 19 front face from P well 2 front face and N well 3 front face is about 800nm. the 2nd layer insulation film 19 -- for example, the silicon oxide (HTO film) by the LPCVD method and this HTO film in an elevated temperature -- the composition from a wrap BPSG film -- now, it is The purpose which prepares this HTO film is for protecting that phosphorus, boron, etc. are spread to an impurity diffusion layer etc. from securing the level difference coat nature of the 2nd [to the capacity counterelectrode 14 and the gate electrodes 6A and 6B] layer insulation film, and a BPSG film. then, the anisotropic etching using the etching gas (CHF₃ and CF₄) of a fluorocarbon system -- N-. The type diffusion layer 7 and N+ the bit line contact which reaches the type diffusion layer 18 -- a hole 20 is formed in the 2nd layer insulation film 19. The polycrystal silicon film of N+ type of about 100nm of thickness and the tungsten silicide film of about 100nm of thickness are formed in the whole surface, patterning of this tungsten polycide film is carried out, and a bit line 21 is formed. the manufacture method that it is well-known after that -- the 3rd layer insulation film 22 and contact -- a hole 23 and the aluminum wiring 24 are formed and the semiconductor memory of the 1st operation form is completed.

[0029] While carrying out flattening of the layer insulation film of a stack type capacitor and a gate electrode according to this manufacture method, after memory cell formation. The sidewall of the transistor for circumference circuitry, Forming a source field and a drain field. Since an insulator layer is buried with the slit and level difference which are formed of a gate electrode. It acts so that it may not be influenced of heat treatment at the time of formation of a memory cell of the source drain field of the transistor for circumference circuits, while being able to prevent the electric conduction material which constitutes a capacity accumulation electrode from entering into the crevice and side attachment wall which are made by the gate electrode. Since the fall of the threshold voltage by the short channel effect of the transistor for circumference circuits can be controlled and reduction of the channel length of a transistor is also further attained while etching of a capacity accumulation electrode becomes easy, improvement in the speed of switching operation is realizable.

[0030] Moreover, the thing for which etching-proof **** and the 1st layer insulation film which consist of a nitride are formed in the front face of the 1st silicon oxide used as the sidewall of a LDD type transistor. The wet etching process by the hydrofluoric acid (HF) solution for removing the natural oxidation film on the front face of a silicon substrate exposed within the contact hole performed just before depositing the

1st electric conduction object used as the capacity accumulation electrode which is a lower electrode, The wet etching process for removing the etching process for patterning of a capacity accumulation electrode, and the natural oxidation film of the capacity accumulation electrode front face before capacity insulator layer formation, Even if it will be alike in process [each] with the etching process of the 2nd electric conduction object used as a capacity counterelectrode etc. and about 10-20nm will ***** respectively Since an insulator layer serves as a mask between the 1st layer, it becomes easy for the 1st silicon oxide used as a sidewall to prevent to ***** and to control the sidewall of a LDD type transistor in a desired configuration by this.

[0031] Drawing 3 and drawing 4 are the cross sections showing the 2nd operation form of this invention in order of a manufacturing process. In addition, in the manufacture method of this 2nd operation form, the process of drawing 3 (a) and (b) is the same as the process of drawing 1 (a) of the 1st operation form, and (b). And in the process of drawing 3 (c), the 1st layer insulation film 10 is removed by the wet etching by the hydrofluoric acid (HF) as it is by using the photoresist 15 in the process of drawing 3 (b) as a mask, and the silicon nitride 9 is exposed.

[0032] Subsequently, etchback of the silicon nitride 9 and the 1st silicon oxide 8 is carried out one by one by using a photoresist 15 as a mask, and the sidewall 17 which consists of the 1st silicon oxide 8 is formed. And it is N+ by ion implantations, such as arsenic which formed the wrap photoresist film 16 for N well field 3 and the memory cell section like drawing 4 (a) after removing the photoresist 15, and used the photoresist film 16, a sidewall 17, and gate electrode 6B as the mask. The type diffusion layer field 18 is formed. Furthermore, it is P+ by ion implantations, such as 2 fluoridation boron (BF₂) which used the photoresist film according to wrap (not shown) as the mask for P well field 2. A type diffusion layer field (not shown) is formed. Thereby, an NMOS transistor and a PMOS transistor are formed in the circumference circuit section.

[0033] the process of after an appropriate time and drawing 4 (b) -- setting -- the process of drawing 2 (b) -- the same -- bit line contact -- opening of the hole 20 is carried out to the 2nd layer insulation film 19, and a bit line 21 is formed on it furthermore, the 3rd layer insulation film 22 and contact -- a hole 23 and the aluminum wiring 24 are formed

[0034] Drawing 5 and drawing 6 are the cross sections showing the 3rd operation form of this invention in order of a process. Drawing 5 (a) - (c) is the same as the process from drawing 1 (a) to drawing 2 (a). That is, it is N+ by ion implantations, such as arsenic which formed the wrap photoresist film 16 for N well field 3 and the memory cell section, and used the photoresist film 16, a sidewall 17, and gate electrode 6B as the mask in the process of drawing 5 (c). The type diffusion layer field 18 is formed. Furthermore, it is P+ by ion implantations, such as 2 fluoridation boron (BF₂) which used the photoresist film according to wrap (not shown) as the mask for P well field 2. A type diffusion layer field (not shown) is formed. Thereby, an NMOS transistor and a PMOS transistor are formed in the circumference circuit section.

[0035] Perform titanium metal (Ti) in a spatter, perform rapid heat annealing for about 10 seconds on the whole surface after removing a photoresist 16 after deposition and by the lamp overheating (RTA) method by nitrogen-gas-atmosphere mind with a temperature of 800-900 degrees C, titanium metal and silicon are made to react like after an appropriate time and drawing 6 (a), and it is N+. Type and P+ The diffusion layer field front face of type is changed into the titanium silicide (TiSi) layer 26. And in the field exposed except silicon like the front face of the field oxide film 4, or the front face of the 1st layer insulation film 10, a silicide reaction does not occur and, as a result, a titanium silicide layer is not formed. This unreacted titanium layer is removable by etching for example, by the hydrofluoric-acid (HF) solution.

[0036] Next, the 2nd layer insulation film 19 is formed in the whole surface like drawing 6 (b). Flattening of the 2nd layer insulation film 19 is carried out. This 2nd layer insulation film 19 consists of wrap BPSG films in about 500-degree C the silicon oxide by ordinary-pressure CVD and this silicon oxide in temperature. The purpose which prepares this oxide film is for protecting that Lynn and boron are spread to an impurity diffusion layer from a BPSG film. Although flattening of the 2nd layer insulation film is performed by usually carrying out a reflow of the BPSG film about 30 minutes at the temperature of 800-900 degrees C After in the case of this operation form making a BPSG film deposit and performing rapid heat treatment for about 10 seconds by the lamp overheating (RTA) method by about 800-degree C

nitrogen gas atmosphere and a BPSG film is ground by the well-known chemical mechanical polishing (CMP) method. After making it flat or after growing up and carrying out rapid heat treatment of the BPSG film by the RTA method, application system insulator layers, such as a silica film, are formed by the spin coat method, after performing furnace annealing for 60 minutes at the temperature of about 500 degrees C, anisotropic etching performs etchback and flattening is carried out. Thus, since in the case of this operation form a titanium silicide layer will be formed before forming the 2nd layer insulation film 19, it is necessary to stop subsequent process temperature and subsequent overheating time at low temperature as much as possible for a short time, and the formation method of a different layer insulation film from the 1st and 2nd operation forms is needed.

[0037] Next, N⁻ The type diffusion layer 7 and N⁺ the bit line contact which reaches the type diffusion layer 18 -- a hole 20 is formed in the 2nd layer insulation film 19, and a bit line 21 is formed further moreover, the formation method of the 2nd layer insulation film 19 -- the same -- carrying out -- the 3rd layer insulation film 22 -- forming -- the manufacture method that it is well-known after this -- contact -- a hole 23 and the aluminum wiring 24 are formed and completion ** of the semiconductor memory is carried out. With this operation form, since the diffusion layer front face of a circumference circuit is silicide-ized and the titanium silicide layer is formed, it becomes possible to suppress low the source of the transistor of the circumference circuit section, and parasitism resistance of the drain section by about 2 - 3% as compared with each the 1st and 2nd operation form, and improvement in the speed of a semiconductor memory is attained.

[0038] Drawing 7 and drawing 8 are drawings showing the 4th operation form of this invention in order of a process, and are the operation form which applied this invention to COB structure with this operation form. First, like drawing 7 (a), like each aforementioned operation form, the P well 2 and the N well 3 are formed in the necessary field of the front face of the P type silicon substrate 1, and a silicon nitride is saved only to the element formation schedule field of P well 2 front face which includes N well 3 front face by etching which used the silicon nitride (not shown) as the mask on the whole surface. After removing a photoresist film, well-known LOCOS oxidization is performed and the field oxide film 4 of about 300nm of thickness is formed in the isolation field of a P well 2 substrate front face including N well 3 front face. After removing a silicon nitride, the gate oxide film 5 of about 10-12nm of thickness is formed in the above-mentioned element formation schedule field by thermal oxidation. Next, the gate electrodes 6A, 6B, and 6C which consist of the polycrystal silicon film (not shown) of about 100nm of thickness and the tungsten silicide film (not shown) of about 100nm of thickness are formed. Here, gate electrode 6C becomes the wiring arranged ranging over a circumference circuit formation schedule field from a memory cell formation schedule field, in order to connect the bit line of the memory cell section to aluminum wiring of the circumference circuit section.

[0039] Next, a wrap photoresist film (not shown) is used as a mask for N well field 3, the ion implantation of 40keV and about $[2 \times 10^{13} \text{cm}^{-2}]$ two phosphorus (P) is performed, and it is N⁻. The type diffusion layer 7 is formed and the 1st silicon oxide 8 used as the sidewall of the LDD type transistor of the circumference circuit section is formed. The formation method in case this silicon oxide consists of a HTO film is the same as the 1st operation form. Furthermore, the silicon nitride of about 50nm of thickness is formed in the whole surface by the LPCVD method which made material gas a dichloro silane (SiH_2Cl_2) and ammonia (NH_3). Furthermore, the BPSG film of about 300nm of thickness is formed in the whole surface by the LPCVD method which made material gas TEOS ($\text{Si}_4(\text{OC two H}_5)$) gas, a phosphine (PH_3), trimethyl borate ($\text{B}(\text{OCH}_3)_3$) gas, and oxygen (O_2) gas. A reflow of the BPSG film is carried out at the temperature of 750-900 degrees C, flattening of the BPSG film front face is carried out, and the 1st layer insulation film 10 is formed.

[0040] then, the anisotropic etching using the etching gas (CHF_3 and CF_4) of a fluorocarbon system like drawing 7 (b) -- N⁻ the bit line contact which reaches the type diffusion layer 7 and gate electrode 6C -- a hole 20 is formed in the 1st layer insulation film 19, the silicon nitride 9, and the 1st silicon oxide Polycrystal silicon **** of N⁺ type of about 100nm of thickness and the tungsten silicide film of about 100nm of thickness are formed in the whole surface, patterning of this tungsten polycide film is carried out, and a bit line 21 is formed.

[0041] Next, the 2nd layer insulation film 19 is formed in the whole surface. Flattening of the 2nd layer

insulation film 19 front face is carried out, and the height of the 2nd layer insulation film 19 front face from P well 2 front face and N well 3 front face is about 800nm. This 2nd layer insulation film 19 is formed from the BPSG film of about 400nm of thickness by the LPCVD method. Furthermore, the anisotropic etching which used the photoresist (not shown) as the mask -- N- the accumulation electrode contact which reaches the type diffusion layer 7 -- a hole 11 is formed. Then, the N type doped amorphous silicon film of about 800nm of thickness is formed by the LPCVD method which makes material gas mono-silane (SiH_4) gas and phosphoretted-hydrogen (PH_3) gas after removing the above-mentioned photoresist. The high impurity concentration of an N type doped amorphous silicon film is about $[1 \times 10^{20} \text{cm}^{-3}]$ three.

[0042] Subsequently, a wrap photoresist (not shown) is formed for the schedule field top of formation of a capacity accumulation electrode on the front face of an N type doped amorphous silicon film, and the capacity accumulation electrode 12 is formed of the anisotropic etching which used this photoresist as the mask. Furthermore, after performing washing of the front face of the capacity accumulation electrode 12, removal of a natural oxidation film, etc., The rapid heat nitriding (RTN) for about 60 seconds is performed in about 870-degree C ammonia (NH_3) gas atmosphere, and the silicon nitride (not shown) of about 0.5nm of thickness is formed in capacity accumulation electrode 12 front face. by the LPCVD method. After forming the silicon nitride (not shown) of about 6nm of thickness in the whole surface, it ** about 30 minutes in about 850-degree C steam atmosphere, the silicon oxide film (not shown) by thermal oxidation is formed in the front face of a silicon nitride, and the capacity insulator layer 13 of about 5nm of silicon oxide film conversion thickness is formed. Then, the N type polycrystal silicon film (not shown) of about 150nm of thickness is formed in the whole surface, by the anisotropic etching which used the photoresist 15 as the mask, this N type polycrystal silicon film and the capacity insulator layer 13 are *****ed one by one, and the capacity counterelectrode 14 is formed.

[0043] Next, the 2nd layer insulation film 19 and the 1st layer insulation film 8 are removed by the wet etching by the hydrofluoric-acid (HF) solution by using a photoresist 15 as a mask like drawing 7 (c), and the silicon nitride 9 is exposed. When a hydrofluoric-acid (HF) solution is used, the etch-rate ratio of the 1st, the BPSG film which constitutes the 2nd layer insulation film, and the silicon nitride 9 BPSG: Silicon nitride = if an about 50nm silicon nitride is used for becoming about 100:1 and removing an about 600nm BPSG film as a stopper insulator layer Film decrease of the field oxide film 4 and the 1st oxide film 8 can be suppressed, and the 1st layer insulation film 10 of the circumference circuit section can be removed completely.

[0044] In addition, use a silicon oxide instead of the silicon nitride 9, and **** for reduced pressure gas phase etching by hydrogen fluoride gas is also good instead of the wet etching by the hydrofluoric-acid (HF) solution. The HTO film by the LPCVD method of about 50nm of thickness is used for the silicon oxide in this case. to reduced pressure gas phase etching If the conditions with a temperature of about 30 degrees C using hydrogen fluoride (HF) with a pressure of 600Pa and the steam (H_2O) with a pressure of 300Pa are used The etch rate to the silicon oxide of the BPSG film which constitutes the 1st layer insulation film is 103. It can become about twice, and film decrease of the field oxide film 4 and the 1st oxide film 8 can be suppressed, and the 1st layer insulation film 10 of the circumference circuit section can be removed completely.

[0045] Next, the etching back of the silicon nitride 9 and the 1st silicon oxide 8 is carried out one by one by using a photoresist 15 as a mask like drawing 8 (a), and the sidewall 17 which consists of the 1st silicon oxide 8 is formed. Then, it is N+ by ion implantations, such as arsenic which formed the wrap photoresist film 16 for N well field 3 and the memory cell section after removing the photoresist 15, and used the photoresist film 16, the sidewall 17, and the gate electrode 6 as the mask. The type diffusion layer field 18 is formed. Furthermore, it is P+ by ion implantations, such as 2 fluoridation boron (BF_2) which used the photoresist film according to wrap (not shown) as the mask for P well field 2. A type diffusion layer field (not shown) is formed. Thereby, an NMOS transistor and a PMOS transistor are formed in the circumference circuit section.

[0046] Next, like drawing 8 (b), after removing a photoresist 16, the 3rd layer insulation film 22 is formed in the whole surface. Flattening of the 3rd layer insulation film 22 front face is carried out, and the height of the 2nd layer insulation film 22 front face from P well 2 front face and N well 3 front face is about

1200nm. The 3rd layer insulation film 22 consists of wrap BPSG films in the silicon oxide (HTO film) by the LPCVD method and this HTO film in an elevated temperature. The purpose which prepares this HTO film is for protecting that phosphorus, boron, etc. are spread to an impurity diffusion layer etc. from securing the level difference coat nature of the 2nd [to the capacity counterelectrode 14 and the gate electrode 6] layer insulation film, and a BPSG film. then, the anisotropic etching using the etching gas (CHF₃ and CF₄) of a fluorocarbon system -- a P type diffusion layer (not shown) and N+ the contact which reaches the type diffusion layer 18 and gate electrode 6B -- a hole 23 is formed in the 3rd layer insulation film 19 Then, aluminum wiring is formed by the well-known manufacture method, and the semiconductor memory of this example is completed.

[0047] Thus, it sets to DRAM which has the memory cell of the COB type structure which arranges a bit line in the lower layer of a stack type capacitor. Since the sidewall 17, source field, and the drain field 18 of the transistor for circumference circuitry are formed after memory cell formation while carrying out flattening of the 1st layer insulation film 10 of a stack type capacitor and a gate electrode Since an insulator layer is buried with the slit and level difference which are formed of a gate electrode, while being able to prevent the electric conduction material which constitutes the capacity accumulation electrode 12 from entering into the crevice and side attachment wall which are produced by the gate electrode, it becomes unnecessary to form a bit line 21 in the circumference circuit section. Since the fall of the threshold voltage by the short channel effect of the transistor for circumference circuits can be suppressed and reduction of the channel length of a transistor is also further attained while it acts so that it furthermore may not be influenced of heat treatment at the time of formation of a memory cell of the source drain field 18 of the transistor for circumference circuits, and etching of the capacity accumulation electrode 12 becomes easy, improvement in the speed of switching operation is realizable. Furthermore, in the lower layer portion in which a bit line is arranged, the bit line also of the problem that will become a mask and an insulator layer will remain is lost.

[0048] According to each above operation gestalt, the following effects are acquired. In etching of a capacity accumulation electrode, time of excessive over etching is made as for the 1st effect to 1/5 or less [conventional], and it can cut down the amount of heat treatments after transistor formation of the circumference circuit section to the conventional quadrant (120 minute ->30 minute) grade at the temperature of 800 degrees C -- about 950 degrees C. Since detailed-ization of a memory cell not only becomes easy, but it can suppress the fall of the threshold voltage by the short channel effect of the transistor for circumference circuits and reduction of the channel length of a transistor is attained further by this, it is that improvement in the speed of switching operation is realizable. The reason by forming the sidewall, source field, and drain field of the transistor for circumference circuitry after memory cell formation, while carrying out flattening of the layer insulation film of a stack type capacitor and a gate electrode Since an insulator layer is buried with the slit and level difference which are formed of a gate electrode What is necessary is that it becomes impossible to remove only the electric conduction material of a flat portion since the electric conduction material which constitutes a capacity accumulation electrode can be prevented from entering into the crevice and side attachment wall which are made by the gate electrode. It is because it can avoid being influenced of heat treatment at the time of formation of a memory cell of the source drain field of the transistor for circumference circuits.

[0049] Moreover, the 2nd effect is that film decrease of the 1st silicon oxide used as the sidewall of a gate electrode is almost suppressed by zero. It becomes easy for this to control the sidewall of a LDD type transistor in a desired configuration. The reason by forming in the front face of the 1st silicon oxide used as the sidewall of a LDD type transistor etching-proof **** and the 1st layer insulation film which consist of a nitride The wet etching process by the hydrofluoric-acid (HF) solution for removing the natural oxidation film on the front face of a silicon substrate exposed within the contact hole performed just before depositing the 1st electric conduction object used as a capacity accumulation electrode, The wet etching process for removing the anisotropic etching process for patterning of a capacity accumulation electrode, and the natural oxidation film of the capacity accumulation electrode front face before capacity insulator layer formation, It is because an insulator layer serves as a mask between the 1st layer even if it passes through the anisotropic etching process of the 2nd electric conduction object used as a capacity counterelectrode etc.

[0050] Furthermore, while the 3rd effect can form the COB type memory cell structure which has arranged the bit line in the lower layer of a capacity accumulation electrode, it is that the amount of heat treatments after transistor formation of the circumference circuit section is reducible. Since detailed-izing of a memory cell and high integration not only become easy, but it can suppress the fall of the threshold voltage by the short channel effect of the transistor for circumference circuits and reduction of the channel length of a transistor is attained further by this, improvement in the speed of switching operation can be realized. The reason arranges having formed the sidewall, source field, and drain field of the transistor for circumference circuitry after memory cell formation, while carrying out flattening of the 1st of a stack type capacitor and a gate electrode, and the 2nd layer insulation film, and a bit line only in the memory cell section, and a bit line is the shell connected with aluminum wiring through the gate electrode for pulling out in the circumference circuit section.

[0051] The 4th effect can fall the parasitism resistance in the source and a drain field to about 2 - 3 conventional%, and can realize improvement in the speed of switching operation. The reason is because refractory-metal silicide layers, such as titanium silicide (TiSi), are formed in the impurity diffusion layer front face of the source of a transistor, and a drain field. In addition, this refractory-metal silicide layer can be applied also in the 4th operation gestalt, and can acquire the same effect.

[0052]

[Effect of the Invention] Etching of the polycrystal silicon film which constitutes a capacity accumulation electrode and a bit line since flattening of the layer insulation film which this invention has two or more insulator layers containing the layer insulation film for forming the sidewall of the transistor of the circumference circuit section, and serves as a ground of a capacity accumulation electrode or a bit line among the insulator layers of a parenthesis is carried out as explained above can be performed suitably in a short time, and, thereby, improvement in the speed of switching operation can be realized. Moreover, film decrease of a sidewall can be prevented by two or more insulator layers, desired LDD structure is acquired with high precision, and a property is improved. Furthermore, the low resistance-ization is attained by forming metal silicide in the impurity layer of a transistor, and increase of a working speed is obtained.

[Brief Description of the Drawings]

- [Drawing 1] It is the 1 which shows the 1st operation gestalt of this invention in order of a process.
- [Drawing 2] It is the 2 which shows the 1st operation gestalt of this invention in order of a process.
- [Drawing 3] It is the 1 which shows the 2nd operation gestalt of this invention in order of a process.
- [Drawing 4] It is the 2 which shows the 2nd operation gestalt of this invention in order of a process.
- [Drawing 5] It is the 1 which shows the 3rd operation gestalt of this invention in order of a process.
- [Drawing 6] It is the 2 which shows the 3rd operation gestalt of this invention in order of a process.
- [Drawing 7] It is the 1 which shows the 4th operation gestalt of this invention in order of a process.
- [Drawing 8] It is the 2 which shows the 4th operation gestalt of this invention in order of a process.
- [Drawing 9] It is the 1 which shows the manufacture method of the conventional technology in order of a process.
- [Drawing 10] It is the 2 which shows the manufacture method of the conventional technology in order of a process.

[Description of Notations]

- 1 P Type Silicon Substrate
- 2 P Well
- 3 N Well
- 6A-6C Gate electrode
- 7 N - Diffusion Layer (Low Concentration Impurity Layer)
- 8 1st Silicon Oxide
- 9 Silicon Nitride
- 10 1st Layer Insulation Film
- 12 Capacity Accumulation Electrode
- 13 Capacity Insulator Layer

14 Capacity Counterelectrode
15 16 Photoresist
17 Sidewall
18 N+ Diffusion Layer (High Concentration Impurity Layer)
19 2nd Layer Insulation Film
21 Bit Line
22 3rd Layer Insulation Film
24 Aluminum Wiring
25 Photoresist
26 Titanium Silicide Layer

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-260607

(43)公開日 平成9年(1997)10月3日

(51)IntCl ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/108			H01L 27/10	681F
21/8242			21/302	F
21/3065				J
21/8238			27/08	321E
27/092			27/10	621C
審査請求 有 請求項の数7 OL (全19頁) 最終頁に続く				

(21)出願番号 特願平8-71907

(22)出願日 平成8年(1996)3月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 谷川 高穂

東京都港区芝五丁目7番1号 日本電気株式会社内

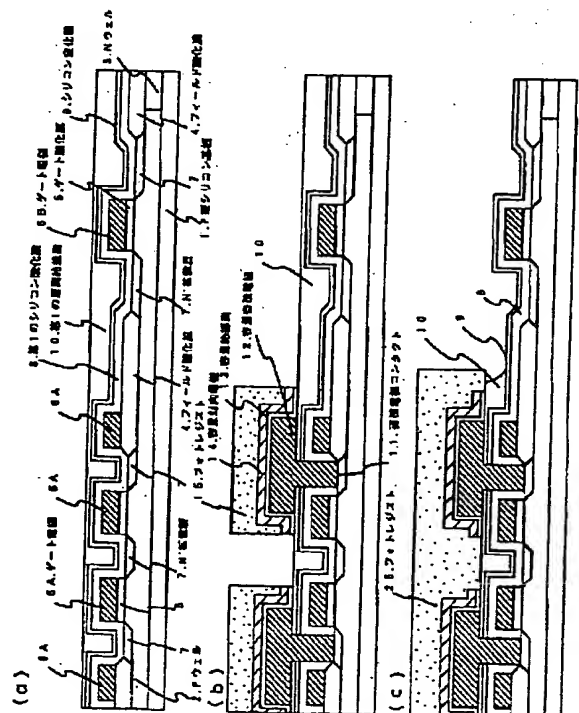
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】

【課題】 スタック型メモリセルでは、容量蓄積電極の下地層がトランジスタのゲート電極のサイドウォールと同じ絶縁膜であると、表面の凹凸により容量蓄積電極のエッチングを微細かつ迅速に行うことが困難であり、かつそのエッチングをトランジスタの形成後に行うためにトランジスタに熱処理の影響が生じる。

【解決手段】 トランジスタのサイドウォールとなる絶縁膜8上に表面が平坦化された層間絶縁膜10を形成し、この層間絶縁膜10上に容量蓄積電極12を形成する。その形成後に層間絶縁膜10をエッチング除去し、その後に前記絶縁膜8をエッチングしてサイドウォールを形成し、かつ高濃度不純物層を形成してトランジスタを完成する。容量蓄積電極12を平坦面の状態で行うことができ、微細かつ迅速なエッチングが可能となり、かつエッチングはトランジスタの形成前であるためにトランジスタに熱処理の影響を与えることが少なくなる。



(2)

【特許請求の範囲】

【請求項1】 シリコン基板上のメモリセル部と周辺回路部にそれぞれゲート電極を形成する工程と、前記ゲート電極を利用して前記シリコン基板上に低濃度の不純物層を形成する工程と、前記ゲートを覆う絶縁膜を形成する工程と、この絶縁膜上に表面を平坦化した層間絶縁膜を形成する工程と、この層間絶縁膜及び前記絶縁膜に蓄積電極コンタクトを開口する工程と、この蓄積電極コンタクトを含む全面に導電膜を形成し、かつこれを選択エッチングして容量蓄積電極を形成する工程と、この容量蓄積電極に対向して容量絶縁膜と容量対向電極を形成する工程と、所要領域をマスクして前記層間絶縁膜及び絶縁膜を順次エッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記メモリセル部をマスクして前記周辺回路部に高濃度の不純物層を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項2】 シリコン基板表面の素子分離領域にフィールド酸化膜を形成してメモリセル部と周辺回路部とを画成し、かつ各部にゲート酸化膜を介して第1、第2および第3のゲート電極を形成する工程と、前記第1、第2のゲート電極に対して自己整合的に低濃度のソース領域及びドレイン領域を前記シリコン基板表面に形成する工程と、周辺回路部のLDD型トランジスタのサイドウォールとなる第1のシリコン酸化膜を形成する工程と、この第1のシリコン酸化膜表面上に耐食刻性絶縁膜を形成する工程と、表面が平坦化された第1の層間絶縁膜を全面に形成する工程と、この第1の層間絶縁膜と前記耐食刻性絶縁膜と前記第1のシリコン酸化膜を貫通して前記第1の低濃度ドレイン領域に達する蓄積電極コンタクト孔を形成する工程と、第1の導電膜を形成し、かつこれを選択エッチングして容量蓄積電極を形成する工程と、全面に容量絶縁膜と第2の導電膜とを順次形成し、前記第2の導電膜を選択エッチングして容量対向電極を形成する工程と、前記第1の層間絶縁膜をエッチング除去し、前記耐食刻性絶縁膜を露出させる工程と、この耐食刻性絶縁膜を除去する工程と、前記第1のシリコン酸化膜を選択的にエッチングバックし、前記第1、第2、第3のゲート電極の側壁にサイドウォールを形成する工程と、前記第2及び第3のゲート電極に対して高濃度不純物層を形成してそれぞれNMOSトランジスタとPMOSトランジスタを形成する工程と、全面に表面が平坦化された第2の層間絶縁膜を全面に形成し、この第2の層間絶縁膜に前記メモリセル部の低濃度不純物層並びに周辺回路部の高濃度不純物層に達するビット線コンタクト孔を形成する工程と、これらのビット線コンタクトを介して前記第2の層間絶縁膜の表面上にビット線を形成する工程と、表面が平坦化された第3の層間絶縁膜を全面に形成し、この第3の層間絶縁膜および前記第2の層間絶縁膜を貫通して前記周辺回路部の高濃度不純物層に達するコンタクトホールを形成する工程と、このコンタ

クトホールを介して各高濃度不純物層に接続されるアルミニウム配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項3】 容量絶縁膜と容量対向電極の選択エッチングを一のフォトリソistをマスクとして行い、その後このフォトリソistを除去し、これよりも広い領域を覆う他のフォトリソistをマスクとして前記第1の層間絶縁膜をエッチング除去する請求項1または2の半導体記憶装置の製造方法。

【請求項4】 容量絶縁膜と容量対向電極の選択エッチングを一のフォトリソistをマスクとして行い、その後この一のフォトリソistをそのまま利用して前記第1の層間絶縁膜をエッチング除去する請求項1または2の半導体記憶装置の製造方法。

【請求項5】 シリコン基板上のメモリセル部と周辺回路部にそれぞれゲート電極を形成する工程と、前記ゲート電極を利用して前記シリコン基板上に低濃度の不純物層を形成する工程と、前記ゲートを覆う絶縁膜を形成する工程と、この絶縁膜上に表面を平坦化した第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜及び前記絶縁膜にビット線コンタクトを開口する工程と、前記第1の層間絶縁膜上に導電膜を形成し、かつこれを選択エッチングしてビット線を形成する工程と、この上に表面を平坦化した第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜、第1の層間絶縁膜、前記絶縁膜にわたって蓄積電極コンタクトを開口する工程と、この蓄積電極コンタクトを含む前記第2の層間絶縁膜上に導電膜を形成し、かつこれを選択エッチングして容量蓄積電極を形成する工程と、この容量蓄積電極に対向して容量絶縁膜と容量対向電極を形成する工程と、所要領域をマスクして前記層間絶縁膜及び絶縁膜を順次エッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記メモリセル部をマスクして前記周辺回路部に高濃度の不純物層を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項6】 シリコン基板表面の素子分離領域にフィールド酸化膜を形成してメモリセル部と周辺回路部とを画成し、かつ各部にゲート酸化膜を介して第1、第2、第3のゲート電極とメモリセル部から周辺回路部にまたがる第4のゲート電極を形成する工程と、前記第1、第2のゲート電極に対して自己整合的に低濃度のソース領域及びドレイン領域を前記シリコン基板表面に形成する工程と、周辺回路部のLDD型トランジスタのサイドウォールとなる第1のシリコン酸化膜を形成する工程と、この第1のシリコン酸化膜表面上に耐食刻性絶縁膜を形成する工程と、表面が平坦化された第1の層間絶縁膜を全面に形成する工程と、この第1の層間絶縁膜と前記耐食刻性絶縁膜と前記第1のシリコン酸化膜を貫通して前記第1の低濃度ソース領域および前記第4のゲート電極に達するビット線コンタクト孔を形成する工程と、第1

3

の導電膜を形成し、かつこれを選択エッチングしてビット線を形成する工程と、表面が平坦化された第2の層間絶縁膜を全面に形成し、この第2の層間絶縁膜、前記第1の層間絶縁膜、前記耐食刻性絶縁膜、前記第1のシリコン酸化膜を貫通して前記低濃度のソース領域に達する蓄積コンタクト孔を形成する工程と、全面に第1の導電膜を形成し、これを選択エッチングして容量蓄積電極を形成する工程と、全面に容量絶縁膜と第2の導電膜とを順次形成し、前記第2の導電膜を選択エッチングして容量対向電極を形成する工程と、前記第1および第2の層間絶縁膜をエッチング除去し、前記耐食刻性絶縁膜を露出させる工程と、この耐食刻性絶縁膜を除去する工程と、前記第1のシリコン酸化膜を選択的にエッチングバックし、前記第2、第3のゲート電極の側壁にサイドウォールを形成する工程と、前記第2及び第3のゲート電極に対して高濃度不純物層を形成してそれぞれNMOSトランジスタとPMOSトランジスタを形成する工程と、全面に表面が平坦化された第2の層間絶縁膜を全面に形成し、この第2の層間絶縁膜に前記メモリセル部の低濃度不純物層並びに周辺回路部の高濃度不純物層に達するビット線コンタクト孔を形成する工程と、これらのビット線コンタクトを介して前記第2の層間絶縁膜の表面上にビット線を形成する工程と、表面が平坦化された第3の層間絶縁膜を全面に形成し、この第3の層間絶縁膜を貫通して前記周辺回路部の高濃度不純物層に達するコンタクトホールを形成する工程と、このコンタクトホールを介して各高濃度不純物層に接続されるアルミニウム配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項7】 周辺回路部のNMOSトランジスタとPMOSトランジスタの高濃度不純物層を形成した後に、高融点金属シリサイド膜を前記高濃度不純物層に形成する工程を含む請求項1ないし6のいずれかの半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置の製造方法に関し、特にスタック構造のキャパシタを有するメモリセルを持つDRAM（ダイナミック・ランダム・アクセス・メモリ）の製造方法に関する。

【0002】

【従来の技術】 一般にスタック構造のメモリセルを持つDRAMにおいては、トランジスタ形成後にスタックキャパシタを形成することになるため、トランジスタ形成後に多くの熱処理工程が必要となる。具体的には、ゲート電極と容量蓄積電極間の層間絶縁膜の平坦化のためのリフロー、スタックキャパシタの電極材料の抵抗値低減のための不純物拡散、容量絶縁膜の表面酸化等の工程であり、例えば800～950℃程度の温度にて合計120分程度の熱処理が必要になる。この熱処理によりトラ

(3)

4

ンジスタのソース領域およびドレイン領域内の不純物が拡散して拡散層深さが不所望に深くなったり、横方向に延びてしまう。その場合、短チャネル効果によるしきい値電圧の低下が起りやすくなり、このため上記トランジスタのソース領域とドレイン領域間のチャネル長を一定の寸法以下に縮小することができず、ワードドライバやタイミングジェネレータ等の周辺回路用トランジスタのスイッチング動作の高速化が制限されてしまうという問題点がある。そこで、このような問題点を解決するための技術として、特開平4-134859号公報に記載されたものがある。

【0003】 図9及び図10は、前記公報に記載された従来の半導体記憶装置の製造方法を説明するための工程順の断面図である。この従来例は周辺回路がCMOSで構成されたDRAMの例であり、同図においては周辺回路のNMOS部分とメモリセルの部分を示してある。まず、図9(a)に示すようにP型シリコン基板1にPウェル2とNウェル3を形成し、かつこの表面に通常のLOCOS法によって選択的にフィールド酸化膜4を形成し、しきい値電圧制御用の不純物イオン注入を行った後、熱酸化によりゲート酸化膜5を形成する。次に、全面に第1の導電膜としてリン(P)をドーブした300nm程度の多結晶シリコン膜を堆積し、これをパターンニングしてゲート電極6A、6Bを形成する。

【0004】 続いて、ゲート電極6A、6Bをマスクにしてメモリセル部および周辺回路のNMOS部分にリン(P)を 2×10^{13} 程度イオン注入し、 N^- 拡散層7を形成する。その後、全面に200nm程度の第1のシリコン酸化膜8を化学的気相成長法により形成する。この第1のシリコン酸化膜8は、メモリセルにおけるMOS型トランジスタとスタック型キャパシタとの間の層間絶縁膜となる。

【0005】 次に、図9(b)に示すように、 N^- 拡散層7上の第1のシリコン酸化膜8をエッチングして、スタック型キャパシタの容量蓄積電極用のコンタクト11を開口する。続いて、第2の導電膜として燐(P)をドーブした400nm程度の多結晶シリコン膜を化学的気相成長法により堆積し、これをパターンニングしてスタック型キャパシタの下部電極となる容量蓄積電極12を形成する。次に、シリコン窒化膜を全面に堆積し、さらに950℃のスチーム雰囲気中で20分酸化し、容量絶縁膜13を形成する。その後、第3の導電膜として燐(P)をドーブした200nm程度の多結晶シリコン膜を化学的気相成長法により堆積し、フォトレジスト15をマスクにしてこの多結晶シリコン膜および容量絶縁膜13をエッチングする。これにより、スタック型キャパシタの上部電極となる容量対向電極14が形成され、スタック型キャパシタ自体の形成が完了する。

【0006】 引き続き、図9(c)に示すように、フォトレジスト15をマスクにして第1のシリコン酸化膜

5

8のエッチングバックを行い、第1のシリコン酸化膜8からなるサイドウォール17を形成する。次に、図10(a)に示すようにフォトレジスト15を除去してからフォトレジスト16を形成し、フォトレジスト16、サイドウォール17、ゲート電極6A、6Bをマスクにして砒素(As)を $3 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入し、N⁺拡散層18を形成する。これにより、周辺回路部において、LDD構造のNMOSが形成される。同様にし、フォトレジスト16を除去し、メモリセル部および周辺回路部のNMOS部を覆うフォトレジスト(図示せず)をマスクにして2弗化ボロン(BF₂)の $3 \times 10^{15} \text{ cm}^{-2}$ 程度のイオン注入により、周辺回路部のPMOS(図示せず)が形成される。

【0007】次に、図10(b)に示すように、メモリセル部および周辺回路部のNMOS部を覆うレジスト(図示せず)を除去した後、全面に例えばBPSG膜から成る第1の層間絶縁膜10を堆積し、N⁻拡散層7、N⁺拡散層18上の第1の層間絶縁膜10をエッチングすることにより、ビット線コンタクト20を開口する。続いて、ビット線21を形成する。次に、全面に例えばBPSG膜からなる第2の層間絶縁膜19を堆積し、N⁺拡散層上の第1の層間絶縁膜10、第2の層間絶縁膜19をエッチングすることにより、コンタクト孔23を開口する。続いて、アルミニウム配線24を形成して半導体記憶装置が完成する。

【0008】

【発明が解決しようとする課題】このような従来のスタック構造のメモリセルを持つDRAMにおいては、以下の問題点がある。

(1) MIS型トランジスタとスタック型キャパシタとから成るメモリセルとLDD型トランジスタを用いた周辺回路を有する半導体記憶装置において、前記メモリセルにおけるMIS型MISトランジスタとスタック型キャパシタとの間の層間絶縁膜が、前記LDD型MISトランジスタのサイドウォールを成す絶縁膜と同一の絶縁膜で形成しているために、前記層間絶縁膜を例えばBPSG膜の堆積とリフローによる表面の平坦化を行うことができない。

【0009】なぜならば、前記層間絶縁膜表面を平坦化した場合、エッチングバックを行っても周辺回路のLDD型トランジスタのゲート電極の側壁に所望の形状のサイドウォールが形成できなくなるからである。そして、平坦化を行うことができない場合、64MDRAMのように最小寸法が $0.35 \mu\text{m}$ で設計された最先端のDRAMでは、スタックキャパシタの下部電極となる容量蓄積電極のエッチングが非常に困難になるからである。例えば64MDRAMのメモリセル部のワード線間隔は通常 $0.4 \mu\text{m}$ 程度で設計されるので、ゲート側壁に $0.1 \mu\text{m}$ のサイドウォールを形成した場合には、 $0.2 \mu\text{m}$ 程度の隙間があくことになる。容量蓄積電極となる多

(4)

6

結晶シリコン膜をエッチングする場合には、このようなゲート電極で挟まれた狭い隙間に堆積された多結晶シリコン膜も完全に除去しなければ、隣接するメモリセルのスタックキャパシタ同志が電氣的に短絡してしまう。それを防止するためには、平坦な場所の多結晶シリコンが除去され、下地の層間絶縁膜が露出されるまでに行ったエッチング処理時間の2倍から3倍程度の過大なエッチングを行わなければならない。そして、過大なオーバーエッチング処理中には、余剰のエッチングガスが容量蓄積電極の側壁部分の多結晶シリコンを徐々に浸食していくために所望の形状を得ることが困難になる。

【0010】(2) 前記のようにメモリセルにおけるMIS型トランジスタとスタック型キャパシタとの間の層間絶縁膜がLDD型トランジスタのサイドウォールと同一の絶縁膜で形成しているため、下部電極である容量蓄積電極となる第1の導電物を堆積する直前に行うコンタクトホール内で露出されたシリコン基板表面の自然酸化膜を除去するためのバッファード弗酸(HF)溶液によるウェットエッチング工程、容量蓄積電極のパターニングのためのエッチング工程、容量絶縁膜形成前の容量蓄積電極表面の自然酸化膜を除去するためのウェットエッチング工程、容量対向電極となる第2の導電物のエッチング工程等により周辺回路部で露出された前記サイドウォールとなる層間絶縁膜が各工程中にそれぞれ $10 \sim 20 \text{ nm}$ 程度エッチングされることになるので、LDD型トランジスタのサイドウォールを所望の形状に制御することが困難である。

【0011】(3) さらに、64MDRAMのように微細化と高集積化の進んだDRAMでは、メモリセルの構造が従来のビット線をスタック型キャパシタの上層に配置する構造から、ビット線の加工が容易になることとキャパシタの平面積を従来に比べて大きく取ることができるという理由からビット線をスタック型キャパシタの下層に配置する構造が主流となってきている。このようなメモリセル構造は一般にCOB構造(capacitor over bit-line structure)と呼ばれており、文献「M. Sakao et al., IEDM '90, 655」に記載されている。

【0012】このCOB型構造のメモリセルを有するDRAMにおいて、従来の技術を用いてスタック型キャパシタ形成後にLDD型トランジスタのサイドウォール形成とソース・ドレイン形成のための砒素(As)や2弗化ボロン(BF₂)の高濃度イオン注入を行うようにした場合、MISトランジスタとビット線およびスタック型キャパシタ電極の層間絶縁膜とサイドウォールを成す絶縁膜とを同一の絶縁膜で形成することになるので平坦化が出来ず、その結果ビット線とスタックキャパシタ電極のエッチングが前記理由と同じで困難になる。そして、ビット線が配置される下層部分ではビット線がマスクとなって絶縁膜が残ってしまうという問題がある。ビ

7

ット線の下層に周辺回路のLDD型トランジスタが配置されている場合には、ビット線の真下にある部分のみLDDトランジスタのサイドウォールとソース・ドレインの形成ができないことになる。

【0013】本発明の目的は、周辺回路用トランジスタのしきい値電圧が不所望に低下するような短チャネル効果を生じさせない高集積化に適した半導体記憶装置を提供することにある。また、本発明の別の目的は、周辺回路部のLDD型トランジスタのサイドウォールを所望の形状に制御することができる半導体記憶装置を提供することにある。さらに、本発明の別の目的は、ビット線をスタック型キャパシタの上層に配置したCOB構造のメモリセルにおいて、周辺回路用トランジスタのしきい値電圧が不所望に低下するような短チャネル効果を生じさせない高集積化に適した、しかも周辺回路用トランジスタのスイッチング動作を高速化できる半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】本発明の製造方法は、シリコン基板上のメモリセル部と周辺回路部にそれぞれゲート電極を形成する工程と、前記ゲート電極を利用して前記シリコン基板に低濃度の不純物層を形成する工程と、前記ゲートを覆う絶縁膜を形成する工程と、この絶縁膜上に表面を平坦化した層間絶縁膜を形成する工程と、この層間絶縁膜及び前記絶縁膜に蓄積電極コンタクトを開口する工程と、この蓄積電極コンタクトを含む全面に導電膜を形成し、かつこれを選択エッチングして容量蓄積電極を形成する工程と、この容量蓄積電極に対向して容量絶縁膜と容量対向電極を形成する工程と、所要領域をマスクして前記層間絶縁膜及び絶縁膜を順次エッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記メモリセル部をマスクして前記周辺回路部に高濃度の不純物層を形成する工程とを含むことを特徴とする。

【0015】ここで、容量絶縁膜と容量対向電極の選択エッチングを一のフォトリソをマスクとして行い、その後このフォトリソを除去し、これよりも広い領域を覆う他のフォトリソをマスクとして前記第1の層間絶縁膜をエッチング除去する。あるいは、容量絶縁膜と容量対向電極の選択エッチングを一のフォトリソをマスクとして行い、その後この一のフォトリソをそのまま利用して前記第1の層間絶縁膜をエッチング除去する。

【0016】また、本発明の他の製造方法は、シリコン基板上のメモリセル部と周辺回路部にそれぞれゲート電極を形成する工程と、前記ゲート電極を利用して前記シリコン基板に低濃度の不純物層を形成する工程と、前記ゲートを覆う絶縁膜を形成する工程と、この絶縁膜上に

(5)

8

表面を平坦化した第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜及び前記絶縁膜にビット線コンタクトを開口する工程と、前記第1の層間絶縁膜上に導電膜を形成し、かつこれを選択エッチングしてビット線を形成する工程と、この上に表面を平坦化した第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜、第1の層間絶縁膜、前記絶縁膜にわたって蓄積電極コンタクトを開口する工程と、この蓄積電極コンタクトを含む前記第2の層間絶縁膜上に導電膜を形成し、かつこれを選択エッチングして容量蓄積電極を形成する工程と、この容量蓄積電極に対向して容量絶縁膜と容量対向電極を形成する工程と、所要領域をマスクして前記層間絶縁膜及び絶縁膜を順次エッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記メモリセル部をマスクして前記周辺回路部に高濃度の不純物層を形成する工程とを含むことを特徴とする。

【0017】ここで、前記各製造方法においては、周辺回路部のNMOSトランジスタとPMOSトランジスタの高濃度不純物層を形成した後に、高融点金属シリサイド膜を前記高濃度不純物層に形成する工程を含むことが好ましい。

【0018】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1及び図2は本発明の第1の実施形態の製造方法を説明するための主要製造工程の断面図である。まず、図1(a)のように、P型シリコン基板1の表面の所要の領域に、Pウェル2とNウェル3を形成する。全面にシリコン窒化膜(図示せず)をマスクにしたエッチングによりNウェル3表面を含めたPウェル2表面の素子形成予定領域にのみシリコン窒化膜を残置する。フォトリソ膜を除去した後、公知のLOCOS酸化を行い、Nウェル3表面を含めたPウェル2基板表面の素子分離領域に膜厚300nm程度のフィールド酸化膜4を形成する。シリコン窒化膜を除去した後、上記素子形成予定領域に熱酸化により膜厚10~12nm程度のゲート酸化膜5を形成する。

【0019】次に、膜厚100nm程度の多結晶シリコン膜(図示せず)と膜厚100nm程度のタングステン・シリサイド膜(図示せず)から成るゲート電極6A、6Bを形成する。さらに、Nウェル領域3を覆うフォトリソ膜(図示せず)をマスクにして、40keV、 $2 \times 10^{13} \text{ cm}^{-2}$ 程度の燐(P)のイオン注入を行い、N⁻型拡散層7を形成する。次に、周辺回路部のLDDトランジスタのサイドウォールとなる第1のシリコン酸化膜8を形成する。このシリコン酸化膜がHTO膜からなる場合、これの形成方法の一例は次のようになっている。シラン(SiH_4)と亜酸化窒素(N_2O)とを原料ガスとした800℃程度でのLPCVDにより、全面に100nm程度のHTO膜を形成する。

【0020】さらに、ジクロルシラン(SiH_2Cl_2)

9

12)とアンモニア(NH₃)とを原料ガスとしたLPCVD法により、膜厚50nm程度のシリコン窒化膜9を全面に形成する。さらに、TEOS[Si(OC₂H₅)₄]ガスとホスフィン(PH₃)とトリメチルボレイト[B(OCH₃)₃]ガスと酸素(O₂)ガスとを原料ガスとしたLPCVD法により、膜厚300nm程度のBPSG膜を全面に形成する。750~900℃の温度でBPSG膜をリフローして、BPSG膜表面を平坦化して第1の層間絶縁膜10を形成する。(図1(a))

【0021】次に、図1(b)のように、フォトレジスト(図示せず)をマスクにしたフルオロ・カーボン系のエッチングガス(CHF₃, CF₄)を用いた異方性エッチングにより、N⁻型拡散層7に達する蓄積電極コンタクト孔11が形成される。続いて、上記フォトレジストを除去した後にモノシラン(SiH₄)ガスとホスフィン(PH₃)ガスを原料ガスとするLPCVD法により、膜厚800nm程度のN型ドーパド非晶質シリコン膜を形成する。あるいは、非晶質シリコン膜のかわりにノンドーパド多結晶シリコン膜を堆積後、砒素あるいは磷のイオン注入もしくは磷の熱拡散等によりN型多結晶シリコン膜に変換しても良い。ここでN型ドーパド非晶質シリコン膜あるいはN型多結晶シリコン膜の不純物濃度は1×10²⁰程度である。

【0022】次いで、容量蓄積電極の形成の予定領域上を覆うフォトレジスト(図示せず)をN型ドーパド非晶質シリコン膜の表面上に形成し、このフォトレジストをマスクにした異方性エッチングにより、容量蓄積電極12が形成される。さらに、容量蓄積電極12の表面の洗浄、自然酸化膜の除去等を行った後、870℃程度のアンモニア(NH₃)ガス雰囲気中で60秒程度の急速熱酸化(RTN)を行い、容量蓄積電極12表面に膜厚0.5nm程度のシリコン窒化膜(図示せず)を形成し、LPCVD法により、全面に膜厚6nm程度のシリコン窒化膜(図示せず)を形成した後、850℃程度のスチーム雰囲気中に30分程度曝し、シリコン窒化膜の表面に熱酸化による酸化シリコン膜(図示せず)を形成し、酸化シリコン膜換算膜厚5nm程度の容量絶縁膜13を形成する。続いて、全面に膜厚150nm程度のN型多結晶シリコン膜(図示せず)を形成し、フォトレジスト15をマスクにした異方性エッチングにより、このN型多結晶シリコン膜、容量絶縁膜13を順次エッチングして容量対向電極14を形成する。

【0023】次に、図1(c)のように、フォトレジスト15を除去した後にメモリセル部を覆うようにフォトレジスト25を形成し、このフォトレジスト25をマスクとして第1の層間絶縁膜10を弗化水素酸(HF)溶液によるウェットエッチングで除去し、シリコン窒化膜9を露出させる。弗化水素酸(HF)溶液を用いた場合、第1の層間絶縁膜10を構成するBPSG膜とシリ

(6)

10

コン窒化膜9とのエッチング速度比は、BPSG:シリコン窒化膜=100:1程度となり、300nm程度のBPSG膜を除去するのに50nm程度のシリコン窒化膜をストッパー絶縁膜として用いれば、フィールド酸化膜4や第1の酸化膜8の膜減りを抑制し且つ周辺回路部の第1の層間絶縁膜10を完全に除去することができる。

【0024】なお、シリコン窒化膜9のかわりにシリコン酸化膜を用い、弗化水素酸(HF)溶液によるウェットエッチングのかわりに弗化水素ガスによる減圧気相エッチング用いても良く、この場合のシリコン酸化膜には、膜厚50nm程度のLPCVD法によるHTO膜を用い、減圧気相エッチングには、圧力600Paの弗化水素(HF)と圧力300Paの水蒸気(H₂O)を用いた温度30℃程度の条件を用いれば、第1の層間絶縁膜を構成するBPSG膜のシリコン酸化膜に対するエッチング速度は10³倍程度となり、フィールド酸化膜4や第1の酸化膜8の膜減りを抑制し且つ周辺回路部の第1の層間絶縁膜10を完全に除去することができる。

【0025】次に、フォトレジスト25をマスクとしてシリコン窒化膜9および第1のシリコン酸化膜8を順次エッチングバックして、第1のシリコン酸化膜8から成るサイドウォール17を形成する。このエッチングバックは、パワー250W、真空度700(mTorr)のもとで、アルゴン(Ar)ガスをキャリアガスとし、トリフルオロ・メタン(CHF₃)とテトラフルオロ・メタン(CF₄)ガスをエッチングガスとして行われる反応性イオンエッチングであり、これらガスの流量比は、例えばCHF₃:CF₄:Ar=40sccm:40sccm:800sccmである。

【0026】なお、このときシリコン窒化膜9が第1のシリコン酸化膜からなるサイドウォール17の側壁に残存する(図示せず)が、シリコン基板とは直接接しない(シリコン基板との間に第1のシリコン酸化膜8が存在する)のでシリコン窒化膜9による接合リーク電流の増大などの不具合の心配はない。また、シリコン窒化膜9による不具合が発生する場合には、フォトレジスト25を除去後に容量対向電極をマスクとして熱リン酸によるウェットエッチングを用いてシリコン窒化膜を除去後に第1のシリコン酸化膜8のエッチングバックを行えば良く、これによりサイドウォール17の側壁にシリコン窒化膜9が残存することがなくなる。

【0027】続いて、図2(a)のように、フォトレジスト25を除去してからNウェル領域3およびメモリセル部を覆うフォトレジスト膜16を形成し、フォトレジスト膜16、サイドウォール17、およびゲート電極6Bをマスクにした砒素等のイオン注入により、N⁺型拡散層領域18を形成する。さらに、Pウェル領域2を覆う別のフォトレジスト膜(図示せず)をマスクにした2.弗化ボロン(BF₂)等のイオン注入により、P⁺型拡

11

散層領域（図示せず）を形成する。これにより、周辺回路部において、NMOSトランジスタとPMOSトランジスタが形成される。

【0028】次に、図2（b）のように、フォトレジスト16を除去した後に、全面に第2の層間絶縁膜19を形成する。第2の層間絶縁膜19表面は平坦化されており、Pウェル2表面およびNウェル3表面からの第2の層間絶縁膜19表面の高さは800nm程度である。第2の層間絶縁膜19は、例えば高温でのLPCVD法によるシリコン酸化膜（HTO膜）とこのHTO膜を覆うBPSG膜とから構成されている。このHTO膜を設ける目的は、容量対向電極14およびゲート電極6A、6Bに対する第2の層間絶縁膜の段差被膜性を確保することとBPSG膜から燐、ボロン等が不純物拡散層等へ拡散するのを防ぐためである。その後、フルオロ・カーボン系のエッチングガス（ CHF_3 、 CF_4 ）を用いた異方性エッチングにより、 N^- 型拡散層7および N^+ 型拡散層18に達するビット線コンタクト孔20を第2の層間絶縁膜19に形成する。全面に膜厚100nm程度の N^+ 型の多結晶シリコン膜および膜厚100nm程度のタングステン・シリサイド膜を形成し、このタングステン・シリサイド膜をパターンニングしてビット線21を形成する。その後は、公知の製造方法により第3の層間絶縁膜22、コンタクト孔23、アルミニウム配線24が形成され、第1実施形態の半導体記憶装置が完成する。

【0029】この製造方法によれば、スタック型キャパシタとゲート電極との層間絶縁膜を平坦化するとともにメモリセル形成後に周辺回路構成用トランジスタのサイドウォール、ソース領域及びドレイン領域を形成することは、ゲート電極により形成される狭い隙間や段差に絶縁膜が埋まるので、容量蓄積電極を構成する導電材がゲート電極によりできる隙間や側壁に入り込まないようにできるとともに周辺回路用トランジスタのソース・ドレイン領域がメモリセルの形成時の熱処理の影響を受けないように作用して、容量蓄積電極のエッチングが容易になると同時に周辺回路用トランジスタの短チャネル効果によるしきい値電圧の低下を制御でき、さらにトランジスタのチャネル長の縮小も可能になるのでスイッチング動作の高速化が実現できる。

【0030】また、LDD型トランジスタのサイドウォールとなる第1のシリコン酸化膜の表面に窒化膜からなる耐食刻性膜と第1の層間絶縁膜を形成することは、下部電極である容量蓄積電極となる第1の導電物を堆積する直前に行うコンタクトホール内で露出されたシリコン基板表面の自然酸化膜を除去するための弗化水素酸（HF）溶液によるウェットエッチング工程、容量蓄積電極のパターンニングのためのエッチング工程、容量絶縁膜形成前の容量蓄積電極表面の自然酸化膜を除去するためのウェットエッチング工程、容量対向電極となる第2の導電物のエッチング工程等により各工程中にそれぞれ1

12

0～20nm程度エッチングされることになっても、第1層間絶縁膜がマスクとなるためサイドウォールとなる第1のシリコン酸化膜がエッチングされることを防止し、これによりLDD型トランジスタのサイドウォールを所望の形状に制御することが容易になる。

【0031】図3及び図4は本発明の第2の実施形態を製造工程順に示す断面図である。なお、この第2の実施形態の製造方法において、図3（a）、（b）の工程は、第1の実施形態の図1（a）、（b）の工程と同じである。そして、図3（c）の工程においては、図3（b）の工程におけるフォトレジスト15をそのままマスクとして第1の層間絶縁膜10を弗化水素酸（HF）によるウェットエッチングで除去し、シリコン窒化膜9を露出させる。

【0032】次いで、フォトレジスト15をマスクとして、シリコン窒化膜9及び第1のシリコン酸化膜8を順次エッチバックして、第1のシリコン酸化膜8からなるサド17を形成する。そして、図4（a）のように、フォトレジスト15を除去してからNウェル領域3およびメモリセル部を覆うフォトレジスト膜16を形成し、フォトレジスト膜16、サイドウォール17、およびゲート電極6Bをマスクにした砒素等のイオン注入により、 N^+ 型拡散層領域18を形成する。さらに、Pウェル領域2を覆う別のフォトレジスト膜（図示せず）をマスクにした2弗化ボロン（ BF_2 ）等のイオン注入により、 P^+ 型拡散層領域（図示せず）を形成する。これにより、周辺回路部において、NMOSトランジスタとPMOSトランジスタが形成される。

【0033】しかる後、図4（b）の工程において、図2（b）の工程と同様に、ビット線コンタクト孔20を第2の層間絶縁膜19に開口し、その上でビット線21を形成する。さらに、第3の層間絶縁膜22、コンタクト孔23、アルミ配線24が形成される。

【0034】図5及び図6は本発明の第3の実施形態を工程順に示す断面図である。図5（a）～（c）は図1（a）から図2（a）までの工程と同じである。すなわち、図5（c）の工程においては、Nウェル領域3およびメモリセル部を覆うフォトレジスト膜16を形成し、フォトレジスト膜16、サイドウォール17、およびゲート電極6Bをマスクにした砒素等のイオン注入により、 N^+ 型拡散層領域18を形成する。さらに、Pウェル領域2を覆う別のフォトレジスト膜（図示せず）をマスクにした2弗化ボロン（ BF_2 ）等のイオン注入により、 P^+ 型拡散層領域（図示せず）を形成する。これにより、周辺回路部において、NMOSトランジスタとPMOSトランジスタが形成される。

【0035】しかる後、図6（a）のように、フォトレジスト16を除去後、全面に金属チタン（Ti）をスパッタ法にて堆積後、ランプ過熱（RTA）法により800～900℃の温度の窒素雰囲気中で10秒程度の急速熱

13

アニールを行い金属チタンとシリコンとを反応させてN⁺型およびP⁺型の拡散層領域表面をチタンシリサイド(TiSi)層26に変換する。そして、フィールド酸化膜4の表面や第1の層間絶縁膜10の表面のようにシリコン以外が露出している領域では、シリサイド反応は起こらず、その結果チタンシリサイド層は形成されない。この未反応のチタン層は例えば弗化水素酸(HF)溶液によるエッチングにより除去できる。

【0036】次に、図6(b)のように、全面に第2の層間絶縁膜19を形成する。第2の層間絶縁膜19は平坦化されている。この第2の層間絶縁膜19は、例えば500℃程度の温度での常圧CVD法によるシリコン酸化膜とこのシリコン酸化膜を覆うBPSG膜から構成されている。この酸化膜を設ける目的は、BPSG膜からリンやボロンが不純物拡散層へ拡散するのを防ぐためである。第2の層間絶縁膜の平坦化は、通常BPSG膜を800~900℃の温度で30分程度リフローさせることにより行うが、この実施形態の場合には、BPSG膜を堆積させた後に800℃程度の窒素雰囲気中で10秒程度の急速熱処理をランプ過熱(RTA)法により行った後に、公知の化学的機械研磨(CMP)法にてBPSG膜を研磨して平坦にしたり、あるいはBPSG膜を成長し、RTA法により急速熱処理した後、シリカ膜などの塗布系絶縁膜をスピコート法により形成し、500℃程度の温度で60分の炉アニールを行った後に異方性エッチングによりエッチバックを行い平坦化する。このように、この実施形態の場合は、第2の層間絶縁膜19を形成する前にチタンシリサイド層を形成することになるので、その後のプロセス温度と過熱時間は、極力低温で短時間に抑える必要があり、第1及び第2の実施形態と異なる層間絶縁膜の形成方法が必要となる。

【0037】次に、N⁻型拡散層7及びN⁺型拡散層18に達するビット線コンタクト孔20を第2の層間絶縁膜19に形成し、さらにビット線21を形成する。また、第2の層間絶縁膜19の形成方法と同様にして第3の層間絶縁膜22を形成し、この後は公知の製造方法によりコンタクト孔23、アルミ配線24が形成され、半導体記憶装置が完成される。この実施形態では、周辺回路の拡散層表面をシリサイド化してチタンシリサイド層を形成しているため、周辺回路部のトランジスタのソースおよびドレイン部の寄生抵抗を第1、第2の各実施形態に比較して2~3%程度までに低く抑えることが可能になり、半導体記憶装置の高速化が達成される。

【0038】図7及び図8は本発明の第4の実施形態を工程順に示す図であり、この実施形態では本発明をCOB構造に適用した実施形態である。まず、図7(a)のように、前記各実施形態と同様に、P型シリコン基板1の表面の所要の領域に、Pウェル2とNウェル3を形成し、全面にシリコン窒化膜(図示せず)をマスクにしたエッチングによりNウェル3表面を含めたPウェル2表

(8)

14

面の素子形成予定領域にのみシリコン窒化膜を残置する。フォトリソ膜を除去した後、公知のLOCOS酸化を行い、Nウェル3表面を含めたPウェル2基板表面の素子分離領域に膜厚300nm程度のフィールド酸化膜4を形成する。シリコン窒化膜を除去した後、上記素子形成予定領域に熱酸化により膜厚10~12nm程度のゲート酸化膜5を形成する。次に、膜厚100nm程度の多結晶シリコン膜(図示せず)と膜厚100nm程度のタングステン・シリサイド膜(図示せず)から成るゲート電極6A、6B、6Cを形成する。ここで、ゲート電極6Cは、メモセル部のビット線を周辺回路部のアルミニウム配線に接続するためにメモセル形成予定領域から周辺回路形成予定領域にまたがり配置される配線となる。

【0039】次に、Nウェル領域3を覆うフォトリソ膜(図示せず)をマスクにして、40keV、 $2 \times 10^{13} \text{ cm}^{-2}$ 程度のリン(P)のイオン注入を行い、N⁻型拡散層7を形成し、周辺回路部のLDD型トランジスタのサイドウォールとなる第1のシリコン酸化膜8を形成する。このシリコン酸化膜がHTO膜からなる場合の形成方法は第1の実施形態と同じである。さらに、ジクロルシラン(SiH_2Cl_2)とアンモニア(NH_3)とを原料ガスとしたLPCVD法により、膜厚50nm程度のシリコン窒化膜を全面に形成する。さらに、TEOS($\text{Si}(\text{OC}_2\text{H}_5)_4$)ガスとホスフィン(PH_3)とトリメチルボレイト($\text{B}(\text{OCH}_3)_3$)ガスと酸素(O_2)ガスを原料ガスとしたLPCVD法により、膜厚300nm程度のBPSG膜を全面に形成する。750~900℃の温度でBPSG膜をリフローして、BPSG膜表面を平坦化して第1の層間絶縁膜10を形成する。

【0040】その後、図7(b)のように、フルオロ・カーボン系のエッチングガス(CHF_3 、 CF_4)を用いた異方性エッチングにより、N⁻型拡散層7およびゲート電極6Cに達するビット線コンタクト孔20を第1の層間絶縁膜19、シリコン窒化膜9および第1のシリコン酸化膜に形成する。全面に膜厚100nm程度のN⁺型の多結晶シリコン膜膜および膜厚100nm程度のタングステン・シリサイド膜を形成し、このタングステン・ポリサイド膜をパターンニングしてビット線21を形成する。

【0041】次に、全面に第2の層間絶縁膜19を形成する。第2の層間絶縁膜19表面は平坦化されており、Pウェル2表面およびNウェル3表面からの第2の層間絶縁膜19表面の高さは800nm程度である。この第2の層間絶縁膜19は、LPCVD法による膜厚400nm程度のBPSG膜から形成されている。さらに、フォトリソ膜(図示せず)をマスクにした異方性エッチングにより、N⁻型拡散層7に達する蓄積電極コンタクト孔11が形成される。続いて、上記フォトリソ膜を

15

除去した後にモノシラン (SiH_4) ガスとフォスフィン (PH_3) ガスを原料ガスとする LPCVD 法により、膜厚 800 nm 程度の N 型ドーパド非晶質シリコン膜を形成する。N 型ドーパド非晶質シリコン膜の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。

【0042】次いで、容量蓄積電極の形成の予定領域上を覆うフォトレジスト (図示せず) を N 型ドーパド非晶質シリコン膜の表面上に形成し、このフォトレジストをマスクにした異方性エッチングにより、容量蓄積電極 12 が形成される。さらに、容量蓄積電極 12 の表面の洗浄、自然酸化膜の除去等を行った後、870°C 程度のアンモニア (NH_3) ガス雰囲気中で 60 秒程度の急速熱窒化 (RTN) を行い、容量蓄積電極 12 表面に膜厚 0.5 nm 程度のシリコン窒化膜 (図示せず) を形成し、LPCVD 法により、全面に膜厚 6 nm 程度のシリコン窒化膜 (図示せず) を形成した後、850°C 程度のスチーム雰囲気中に 30 分程度曝し、シリコン窒化膜の表面に熱酸化による酸化シリコン膜 (図示せず) を形成し、酸化シリコン膜換算膜厚 5 nm 程度の容量絶縁膜 13 を形成する。続いて、全面に膜厚 150 nm 程度の N 型多結晶シリコン膜 (図示せず) を形成し、フォトレジスト 15 をマスクにした異方性エッチングにより、この N 型多結晶シリコン膜、容量絶縁膜 13 を順次エッチングして容量対向電極 14 を形成する。

【0043】次に、図 7 (c) のように、フォトレジスト 15 をマスクとして第 2 の層間絶縁膜 19 および第 1 の層間絶縁膜 8 を弗化水素酸 (HF) 溶液によるウェットエッチングで除去し、シリコン窒化膜 9 を露出させる。弗化水素酸 (HF) 溶液を用いた場合、第 1 と第 2 の層間絶縁膜を構成する BPSG 膜とシリコン窒化膜 9 とのエッチング速度比は、BPSG : シリコン窒化膜 = 100 : 1 程度となり、600 nm 程度の BPSG 膜を除去するのに 50 nm 程度のシリコン窒化膜をストップ絶縁膜として用いれば、フィールド酸化膜 4 や第 1 の酸化膜 8 の膜減りを抑制し且つ周辺回路部の第 1 の層間絶縁膜 10 を完全に除去することができる。

【0044】なお、シリコン窒化膜 9 のかわりにシリコン酸化膜を用い、弗化水素酸 (HF) 溶液によるウェットエッチングのかわりに弗化水素ガスによる減圧気相エッチング用いても良く、この場合のシリコン酸化膜には、膜厚 50 nm 程度の LPCVD 法による HTO 膜を用い、減圧気相エッチングには、圧力 600 Pa の弗化水素 (HF) と圧力 300 Pa の水蒸気 (H_2O) を用いた温度 30°C 程度の条件を用いれば、第 1 の層間絶縁膜を構成する BPSG 膜のシリコン酸化膜に対するエッチング速度は 10^3 倍程度となり、フィールド酸化膜 4 や第 1 の酸化膜 8 の膜減りを抑制し且つ周辺回路部の第 1 の層間絶縁膜 10 を完全に除去することができる。

【0045】次に、図 8 (a) のように、フォトレジスト 15 をマスクとしてシリコン窒化膜 9 および第 1 のシ

(9)

16

リコン酸化膜 8 を順次エッチングバックして、第 1 のシリコン酸化膜 8 から成るサイドウォール 17 を形成する。続いて、フォトレジスト 15 を除去してから N ウェル領域 3 およびメモリセル部を覆うフォトレジスト膜 16 を形成し、フォトレジスト膜 16、サイドウォール 17、およびゲート電極 6 をマスクにした砒素等のイオン注入により、 N^+ 型拡散層領域 18 を形成する。さらに、P ウェル領域 2 を覆う別のフォトレジスト膜 (図示せず) をマスクにした 2 弗化ボロン (BF_2) 等のイオン注入により、 P^+ 型拡散層領域 (図示せず) を形成する。これにより、周辺回路部において、NMOS トランジスタと PMOS トランジスタが形成される。

【0046】次に、図 8 (b) のように、フォトレジスト 16 を除去した後に、全面に第 3 の層間絶縁膜 22 を形成する。第 3 の層間絶縁膜 22 表面は平坦化されており、P ウェル 2 表面および N ウェル 3 表面からの第 2 の層間絶縁膜 22 表面の高さは 1200 nm 程度である。第 3 の層間絶縁膜 22 は、例えば高温での LPCVD 法によるシリコン酸化膜 (HTO 膜) とこの HTO 膜を覆う BPSG 膜とから構成されている。この HTO 膜を設ける目的は、容量対向電極 14 およびゲート電極 6 に対する第 2 の層間絶縁膜の段差被膜性を確保することと BPSG 膜から燐、ボロン等が不純物拡散層等へ拡散するのを防ぐためである。その後、フルオロ・カーボン系のエッチングガス (CHF_3 , CF_4) を用いた異方性エッチングにより、 P^+ 型拡散層 (図示せず)、 N^+ 型拡散層 18 およびゲート電極 6 B に達するコンタクト孔 23 を第 3 の層間絶縁膜 19 に形成する。その後、公知の製造方法によりアルミ配線が形成され、本実施例の半導体記憶装置が完成する。

【0047】このように、ビット線をスタック型キャパシタの下層に配置する COB 型構造のメモリセルを有する DRAM において、スタック型キャパシタとゲート電極との第 1 の層間絶縁膜 10 を平坦化するとともにメモリセル形成後に周辺回路構成用トランジスタのサイドウォール 17、ソース領域及びドレイン領域 18 を形成しているため、ゲート電極により形成される狭い隙間や段差に絶縁膜が埋まるので、容量蓄積電極 12 を構成する導電材がゲート電極により生じる隙間や側壁に入り込まないようにできるとともにビット線 21 を周辺回路部に形成する必要がなくなる。さらに周辺回路用トランジスタのソース・ドレイン領域 18 がメモリセルの形成時の熱処理の影響を受けないように作用して、容量蓄積電極 12 のエッチングが容易になると同時に周辺回路用トランジスタの短チャネル効果によるしきい値電圧の低下を抑制でき、さらにトランジスタのチャネル長の縮小も可能になるのでスイッチング動作の高速化が実現できる。さらに、ビット線が配置される下層部分ではビット線がマスクとなって絶縁膜が残ってしまうという問題もなく

(10)

17

【0048】以上の各実施形態によれば、次のような効果が得られる。第1の効果は、容量蓄積電極のエッチングにおいて過大なオーバーエッチングの時間は従来の5分の1以下にでき、周辺回路部のトランジスタ形成後の熱処理量を800℃～950℃程度の温度にて従来の4分の1（120分→30分）程度に削減することができる。これにより、メモリセルの微細化が容易になるばかりでなく、周辺回路用トランジスタの短チャネル効果によるしきい値電圧の低下を抑制でき、さらにトランジスタのチャネル長の縮小も可能になるのでスイッチング動作の高速化が実現できることである。その理由は、スタック型キャパシタとゲート電極との層間絶縁膜を平坦化するとともにメモリセル形成後に周辺回路構成用トランジスタのサイドウォール、ソース領域及びドレイン領域を形成することにより、ゲート電極により形成される狭い隙間や段差に絶縁膜が埋まるので、容量蓄積電極を構成する導電材がゲート電極によりできる隙間や側壁に入り込まないようにできるので平坦な部分の導電材のみ除去できれば良くなることと、周辺回路用トランジスタのソース・ドレイン領域がメモリセルの形成時の熱処理の影響を受けないようにできるからである。

【0049】また、第2の効果は、ゲート電極のサイドウォールとなる第1のシリコン酸化膜の膜減りがほとんどゼロに抑えられることである。これによりLDD型トランジスタのサイドウォールを所望の形状に制御することが容易になる。その理由は、LDD型トランジスタのサイドウォールとなる第1のシリコン酸化膜の表面に窒化膜からなる耐食刻性膜と第1の層間絶縁膜を形成することにより、容量蓄積電極となる第1の導電物を堆積する直前に行うコンタクトホール内で露出されたシリコン基板表面の自然酸化膜を除去するための弗化水素酸（HF）溶液によるウェットエッチング工程、容量蓄積電極のパターンニングのための異方性エッチング工程、容量絶縁膜形成前の容量蓄積電極表面の自然酸化膜を除去するためのウェットエッチング工程、容量対向電極となる第2の導電物の異方性エッチング工程等を経ても、第1層間絶縁膜がマスクとなるからである。

【0050】さらに、第3の効果は、ビット線を容量蓄積電極の下層に配置したCOB型のメモリセル構造を形成できると同時に周辺回路部のトランジスタ形成後の熱処理量を削減することができることである。これにより、メモリセルの微細化、高集積化が容易になるばかりでなく、周辺回路用トランジスタの短チャネル効果によるしきい値電圧の低下を抑制でき、さらにトランジスタのチャネル長の縮小も可能になるのでスイッチング動作の高速化が実現できるようになる。その理由は、スタック型キャパシタとゲート電極との第1及び第2の層間絶縁膜を平坦化するとともにメモリセル形成後に周辺回路構成用トランジスタのサイドウォール、ソース領域及びドレイン領域を形成するようにしたことと、ビット線を

18

メモリセル部にのみ配置し、ビット線は周辺回路部に引き出すためのゲート電極を介してアルミニウム配線と接続するようにしたからである。

【0051】第4の効果は、ソースおよびドレイン領域における寄生抵抗を従来の2～3%程度に低下することができ、スイッチング動作の高速化が実現できる。その理由は、トランジスタのソースおよびドレイン領域の不純物拡散層表面にチタンシリサイド（TiSi）等の高融点金属シリサイド層を形成しているためである。なお、この高融点金属シリサイド層は、第4の実施形態においても適用することが可能であり、同様の効果を得ることができる。

【0052】

【発明の効果】以上説明したように本発明は、周辺回路部のトランジスタのサイドウォールを形成するための層間絶縁膜を含んだ複数の絶縁膜を有し、かつこの絶縁膜のうち容量蓄積電極やビット線の下地となる層間絶縁膜を平坦化しているため、容量蓄積電極やビット線を構成する多結晶シリコン膜のエッチングを好適にかつ短時間で行うことができ、これによりスイッチング動作の高速化が実現できる。また、複数の絶縁膜によりサイドウォールの膜減りを防止でき、所望のLDD構造が高精度に得られ特性が改善される。さらに、トランジスタの不純物層に金属シリサイドを形成することでその低抵抗化が図られ、動作速度の増大が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を工程順に示すその1である。

【図2】本発明の第1の実施形態を工程順に示すその2である。

【図3】本発明の第2の実施形態を工程順に示すその1である。

【図4】本発明の第2の実施形態を工程順に示すその2である。

【図5】本発明の第3の実施形態を工程順に示すその1である。

【図6】本発明の第3の実施形態を工程順に示すその2である。

【図7】本発明の第4の実施形態を工程順に示すその1である。

【図8】本発明の第4の実施形態を工程順に示すその2である。

【図9】従来技術の製造方法を工程順に示すその1である。

【図10】従来技術の製造方法を工程順に示すその2である。

【符号の説明】

1 P型シリコン基板

2 Pウェル

50 3 Nウェル

(11)

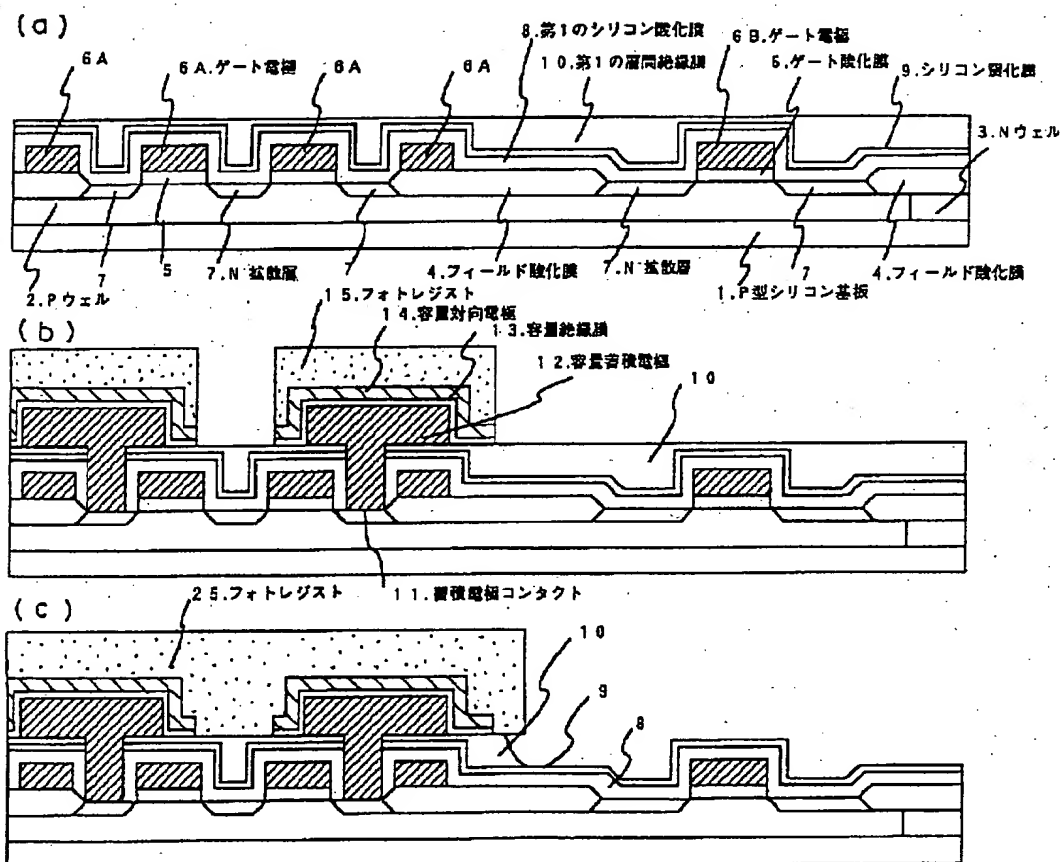
19

20

- 6A~6C ゲート電極
 7 N⁻ 拡散層 (低濃度不純物層)
 8 第1のシリコン酸化膜
 9 シリコン窒化膜
 10 第1の層間絶縁膜
 12 容量蓄積電極
 13 容量絶縁膜
 14 容量対向電極
 15, 16 フォトリソ

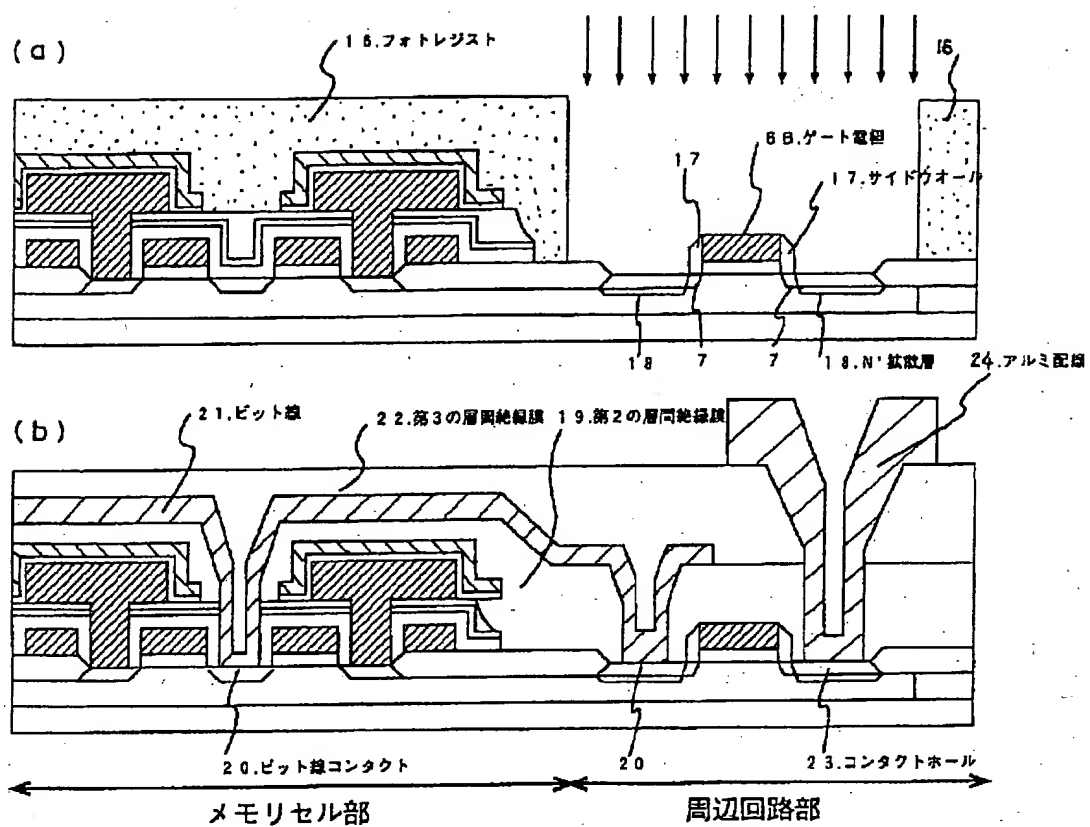
- 17 サイドウォール
 18 N⁺ 拡散層 (高濃度不純物層)
 19 第2の層間絶縁膜
 21 ビット線
 22 第3の層間絶縁膜
 24 アルミ配線
 25 フォトリソ
 26 チタンシリサイド層

【図1】



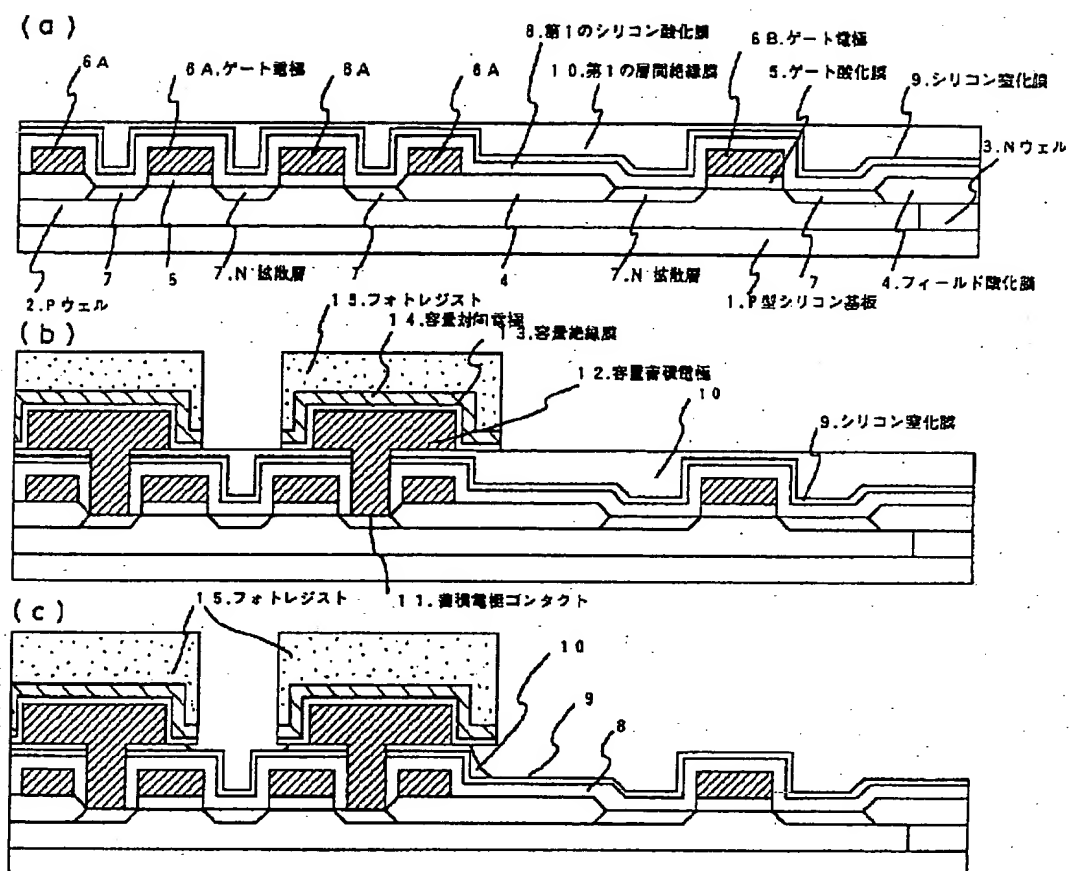
(12)

【図2】



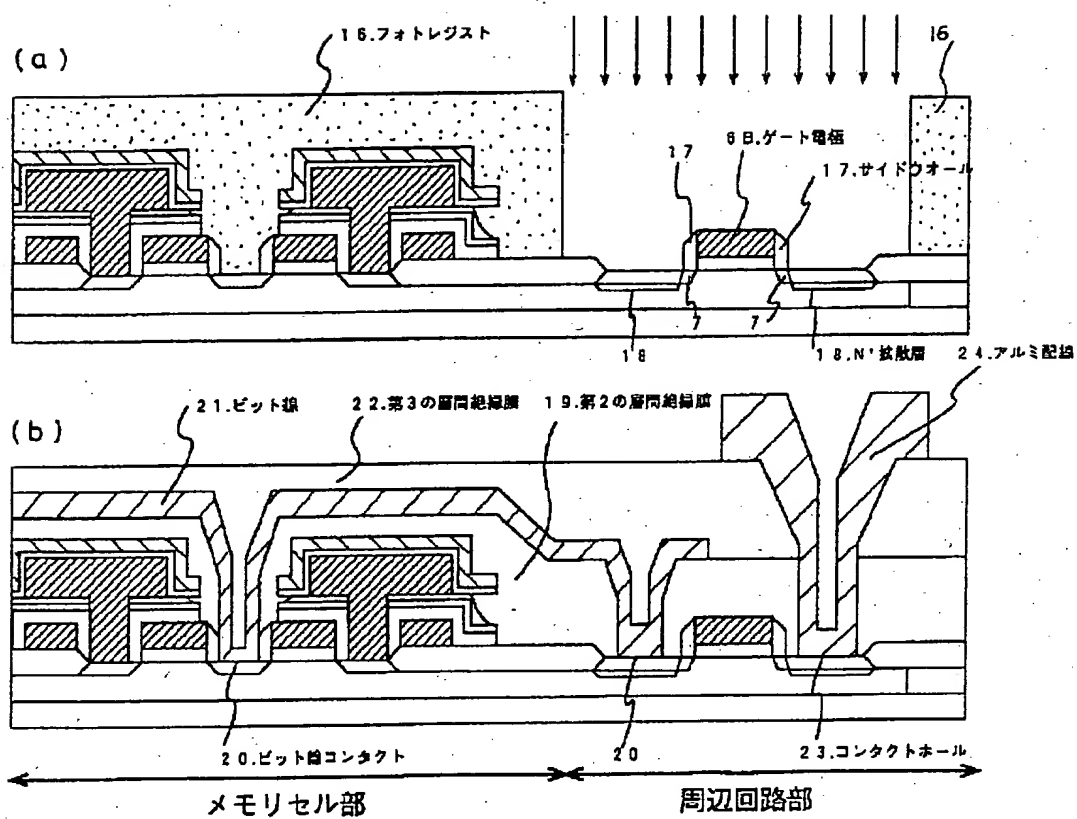
(13)

【図3】



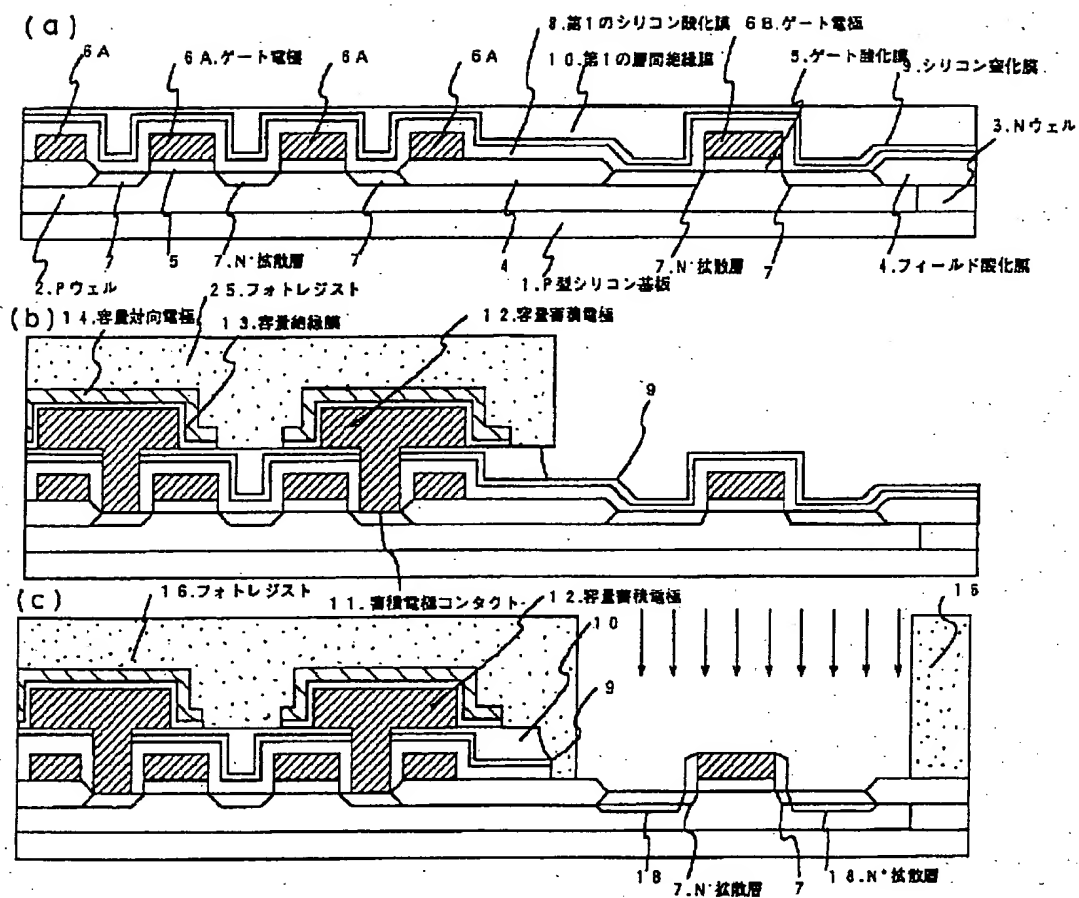
(14)

【図4】



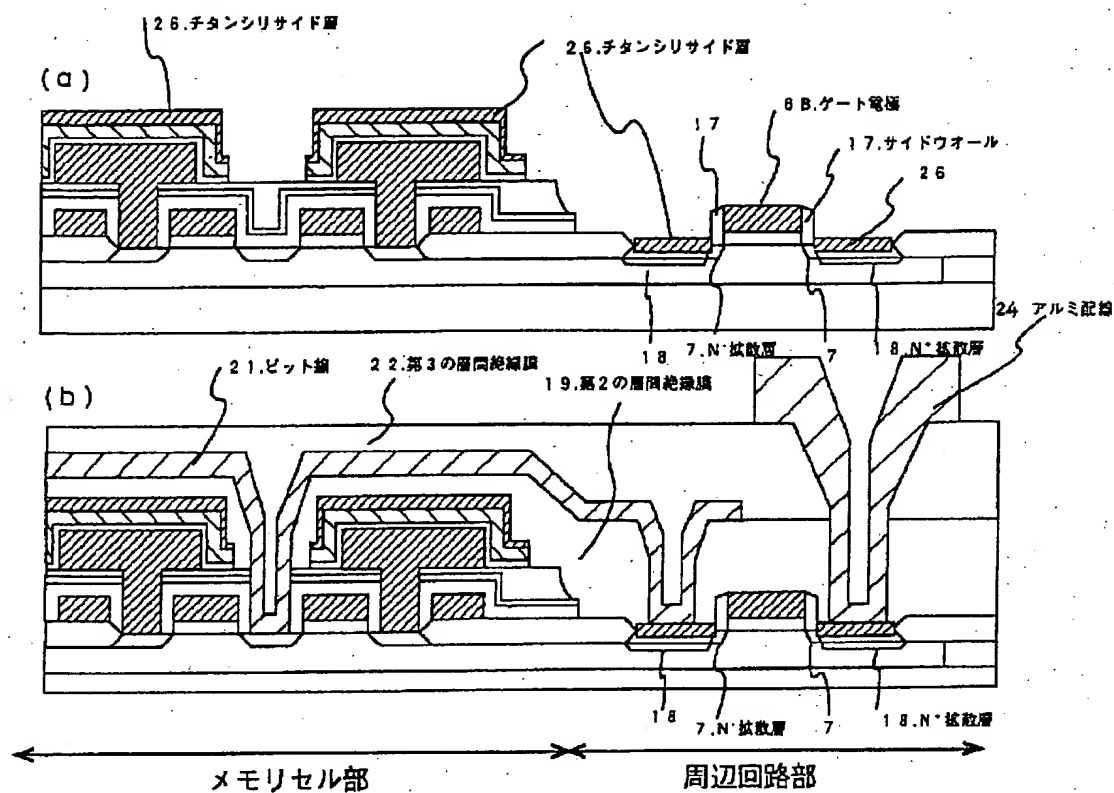
(15)

【図5】

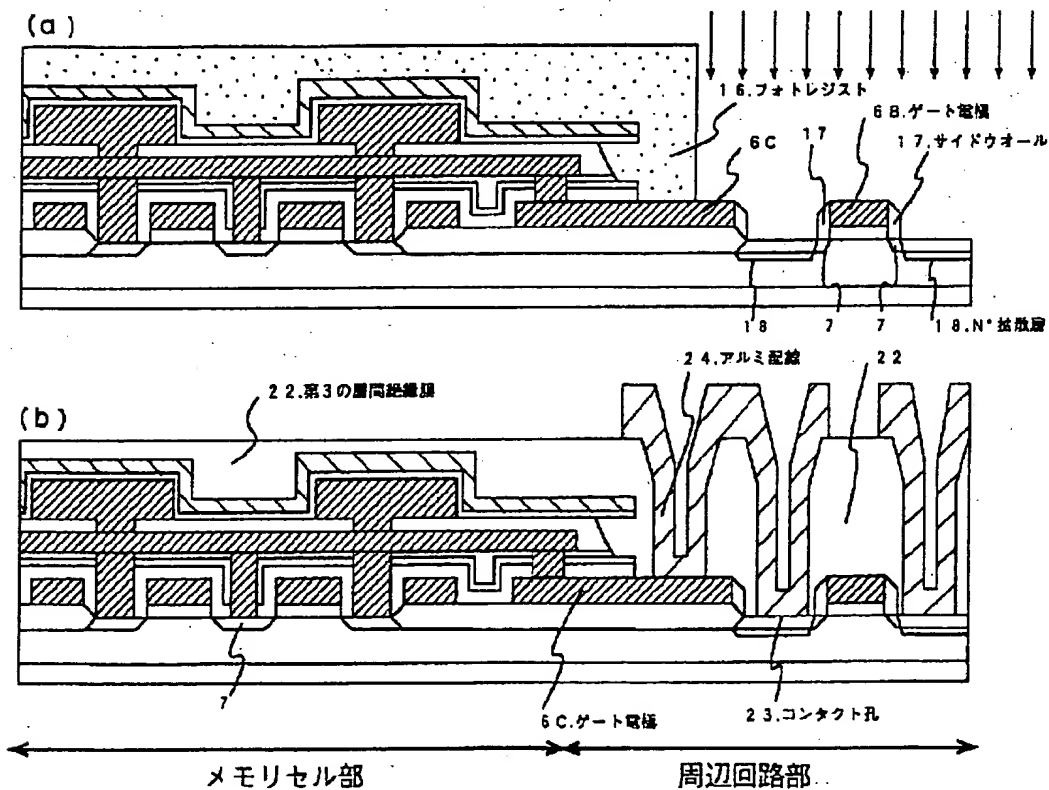


(16)

【図6】

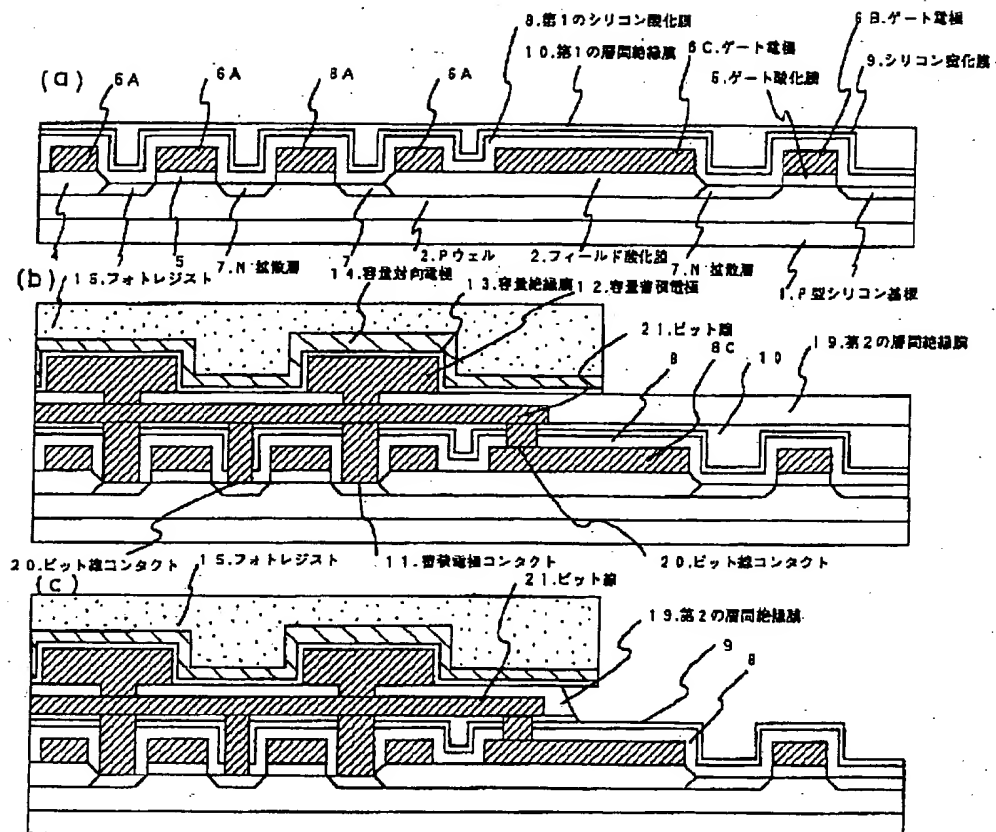


【図8】



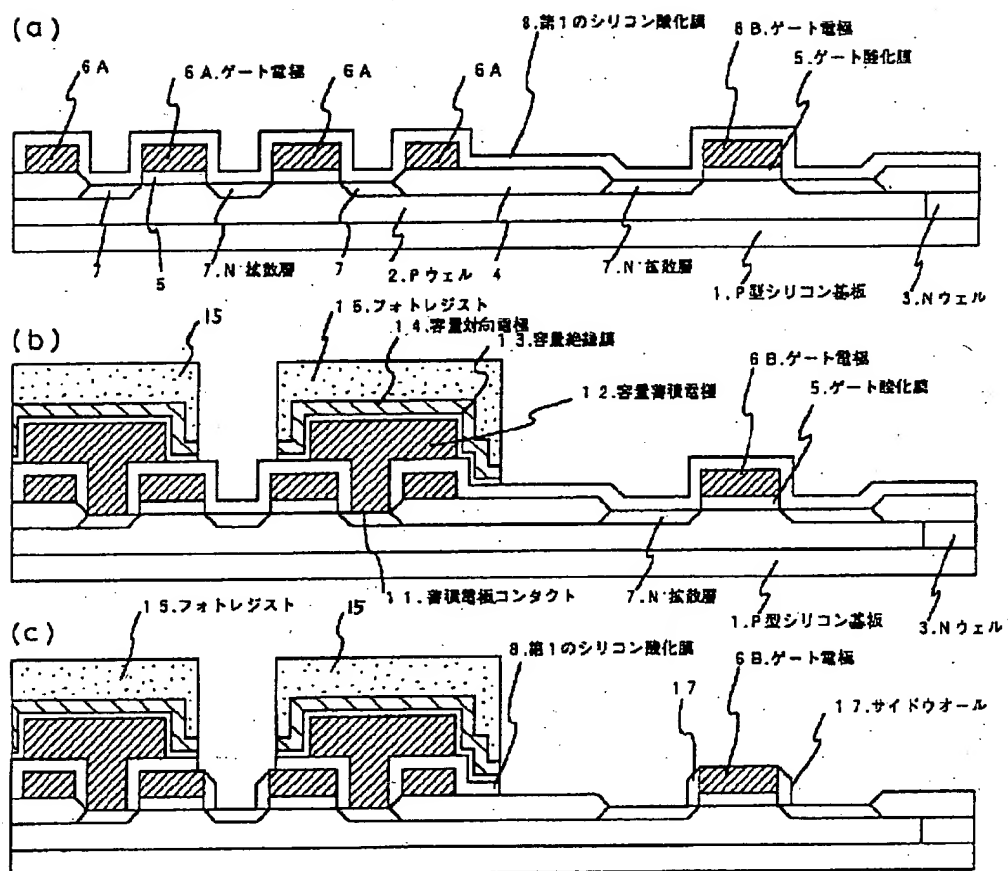
(17)

【圖 7】



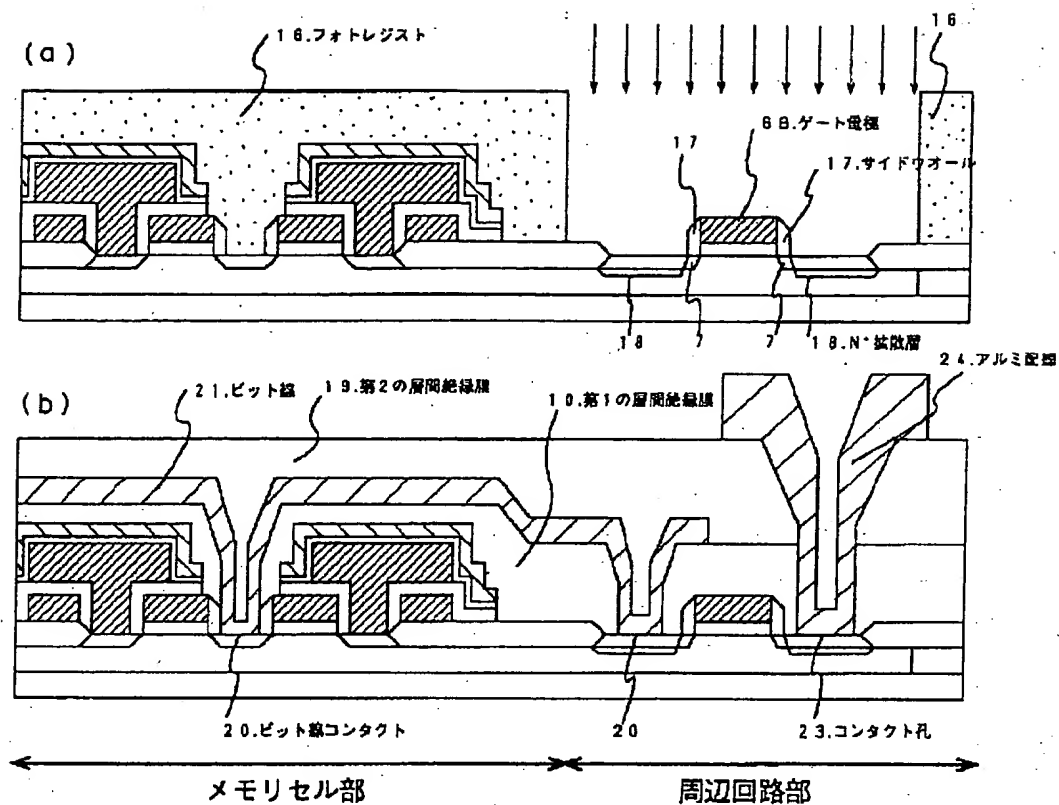
(18)

【図9】



(19)

【図10】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 27/10

6 8 1 B